

Circuito de control del detector infrarrojo HAWAII. Arquitectura del arreglo lógico programable.

S. Zazueta, F. Quiroz, L. Salas.

Instituto de Astronomía. Universidad Nacional Autónoma de México.
Km. 103 Carretera Tijuana-Ensenada, Ensenada, B. C., México.

RESUMEN:

Documento que describe la arquitectura y el diseño del circuito secuenciador y de control del detector infrarrojo SWIR 1024X1024 HAWAII/ISIC8000. El circuito secuenciador y de control está basado en un arreglo lógico programable "FPGA" de Xilinx® de la serie Spartan®-3. Para la implementación del diseño se usa una tarjeta de desarrollo de FPGA modelo Nexys™2. El circuito genera las secuencias de reloj y control del detector, también se encarga de la adquisición y transmisión de los datos de los 4 convertidores

analógicos a digital a una computadora. La programación del FPGA, los programas de control del detector, así como los programas para la adquisición de imágenes se basan en la infraestructura desarrollada para los controladores de CCD hechos por el grupo de instrumentación del Observatorio Astronómico Nacional en Ensenada B. C., dependencia del Instituto de Astronomía de la UNAM. También se presenta el diseño electrónico de la tarjeta de interfaz entre el FPGA y las tarjetas de acondicionamiento de señal.

Contenido

1. INTRODUCCIÓN	3
2. LA ARQUITECTURA DEL CIRCUITO DE CONTROL	4
3. DESCRIPCIÓN DE LOS BLOQUES DE LA ARQUITECTURA	4
3.1 EL BLOQUE "FPGALINK"	4
3.2 EL BLOQUE "J1 CPU"	5
3.3 EL BLOQUE "CONTROL CCD SECUENCIAS- CCCD"	5
3.4 EL BLOQUE "MULTIPLEXOR DE ENTRADAS- MADC"	5
3.5 EL BLOQUE "COMUNICACIÓN FPGALINK A J1- COMJ1FPGA"	6
3.6. SUB-BLOQUE "CONTROLADOR DE COMUNICACIÓN USB-FPGA"	6
4. LA TARJETA NEXYS™2	8
5. CORRESPONDENCIA FASES A SEÑALES	9
6. CORRESPONDENCIA J1 A SEÑALES.	10
7. CONECTORES PMOD	11
7.1 PMOD JA	11

7.2 PMOD JB-----	11
7.3 PMOD JC-----	12
7.4 PMOD JD -----	12
8. TARJETA DE INTERFAZ TI-NEXYS2-HWI-----	12
9. MODO DE PRUEBA DEL CONTROLADOR-----	12
10. PARA SELECCIONAR LA ENTRADA DE DATOS-----	14
11. PRUEBAS CON EL DETECTOR DE INGENIERÍA-----	14
12. CONCLUSIONES -----	15
13. BIBLIOGRAFÍA -----	16
14. APÉNDICE A. DIAGRAMAS “RTL” DE ALTO NIVEL-----	17
15. APÉNDICE B. DIAGRAMAS DE LA TARJETA DE INTERFAZ -----	19

1. INTRODUCCIÓN

El objetivo del circuito de control es la adquisición de imágenes con un detector infrarrojo.

El detector infrarrojo SWIR 1024X1024 HAWAII/ISIC8000 tiene una configuración de cuatro cuadrantes con una salida de señal para cada cuadrante. Para lograr la operación básica del detector se requieren seis señales de reloj con nivel CMOS, dos fuentes de voltaje (una fuente analógica y otra digital) y dos voltajes de polarización.

Para operar las salidas de cada cuadrante se utilizan dos señales de reloj que controlan dos registros. La primera señal es del tipo de doble flanco, es la señal de **pixel** y controla el registro horizontal. Esta señal actúa durante el flanco de subida y durante el flanco de bajada. La segunda señal actúa por nivel, es la señal de **línea** y controla el registro vertical.

Para obtener una imagen de la manera convencional, el registro horizontal se usa como reloj rápido y el registro vertical como el reloj lento. Para generar las señales de reloj de **pixel** y de **línea**, y las temporizaciones adecuadas, se escogió una tarjeta de desarrollo de FPGA modelo Nexys™2 de Digilent® Inc. [4].

La Nexys™2 se basa en un FPGA de la familia Spartan®-3 de Xilinx® y cuenta con las conexiones eléctricas y la infraestructura de desarrollo adecuadas [4, 5]. La Nexys™2 tiene un puerto USB para programarla y también sirve como puerto de acceso al FPGA. Esto permite, con el programa adecuado, tener una velocidad de transferencia de datos, desde y hacia el FPGA, de hasta 48 megabytes/s.

El sistema desarrollado nos permite generar secuencias programables, adquirir las señales digitales de los cuatro convertidores analógicos a digital y transferir los datos a una PC de adquisición o a una computadora dedicada a través del puerto USB. Posteriormente, un programa servidor en esta PC puede transferir los datos vía red Ethernet a cualquier computadora enlazada. El esquema de conexiones descrito se puede ver en la *Figura 1*.

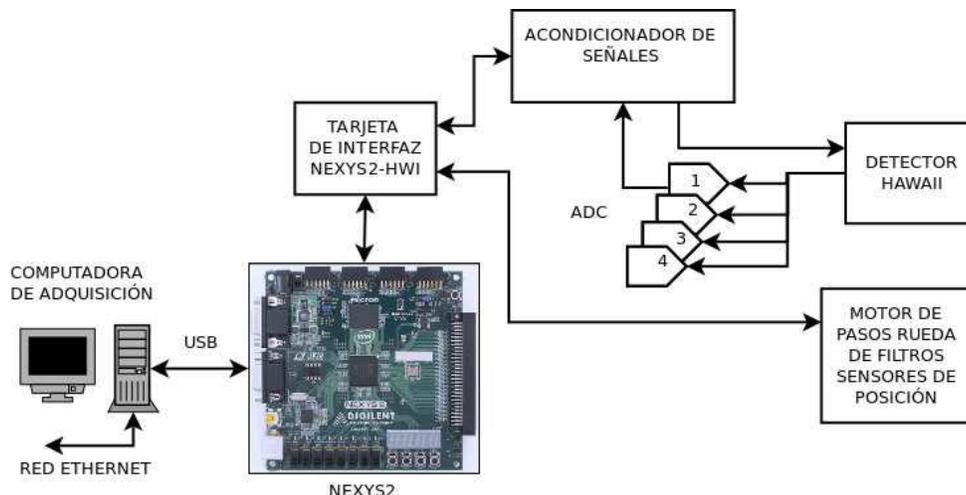


Figura 1: Diagrama de bloques de las conexiones del circuito de control Nexys™2 y tarjeta de interfaz con el detector Hawaii.

2. LA ARQUITECTURA DEL CIRCUITO DE CONTROL

Con la finalidad de controlar el detector infrarrojo y poder obtener imágenes, se desarrollaron varios “IP-cores” que se describirán más abajo. La programación de los “IP-cores” se desarrolló en Verilog y en Vhdl. También se utilizaron dos “IP-cores” de dominio público, un microcontrolador **J1** descrito en [3] y la biblioteca **FPGALink** con su “IP-core” descrito en [2].

La arquitectura del sistema de control y adquisición para controlar el detector Hawaii se muestra en la *Figura 2*.

En el Apéndice A se pueden ver las conexiones de algunos de los bloques de la *Figura 2* a nivel **RTL** (Register Transfer Level).

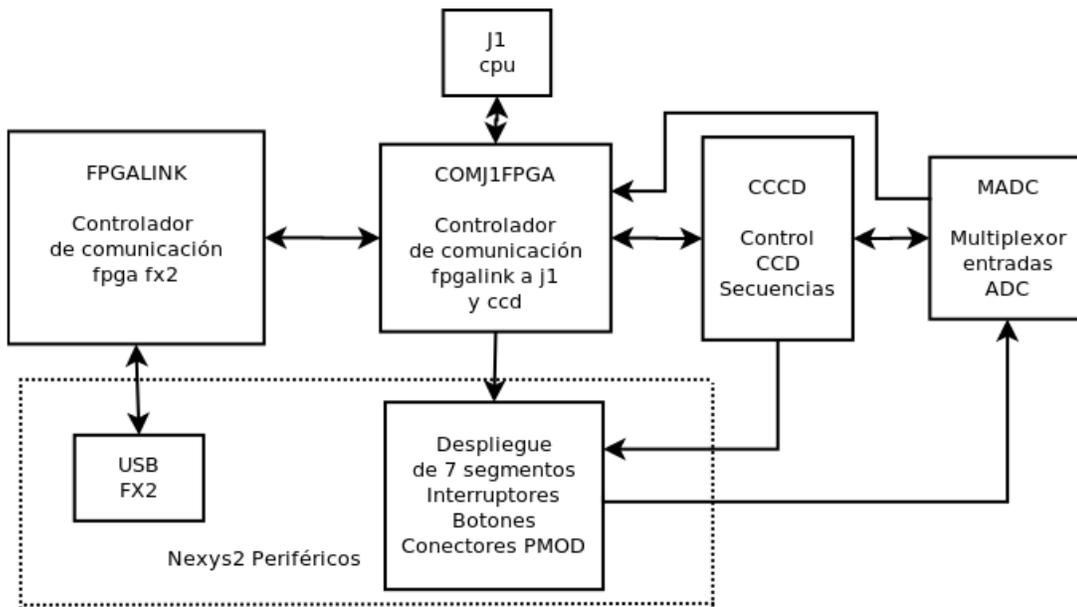


Figura 2: Diagrama de bloques de la arquitectura de la FPGA para controlar el detector Hawaii.

En la *Figura 2*, los bloques que están fuera de la línea punteada son los “IP-cores” utilizados y están contenidos en el FPGA.

3. DESCRIPCIÓN DE LOS BLOQUES DE LA ARQUITECTURA

3.1 EL BLOQUE “FPGALINK”

Se encarga de la comunicación entre el ducto USB y el resto de los “IP-cores” del FPGA. Su funcionamiento está descrito en [2]. También sirve para programar el FPGA de Xilinx® a través de la interfaz USB.

Nuestro circuito utiliza la variante de comunicación síncrona de alta velocidad. De acuerdo a la documentación [2], es posible transferir hasta 25 Mb/s en esta modalidad. En nuestra aplicación estamos transmitiendo a unos 800 Kb/s, que es la máxima tasa de muestreo que se

puede lograr con los convertidores analógicos a digital (ADC) seleccionados. Esto permite obtener una imagen de 1Kx1K del detector en 3.6 segundos. El tiempo de muestreo de cada pixel es de 14 microsegundos.

El diagrama a nivel RTL de este bloque se puede ver en el Apéndice A, en la *Figura A.3*.

3.2 EL BLOQUE “J1 CPU”

Es un microcontrolador de 16 bits que se implementa por programación en Verilog. Está descrito en [3]. Es el microcontrolador central o CPU del sistema y realiza las funciones de control de bajo nivel.

El J1 ejecuta un programa en lenguaje “Forth” que reside en un bloque de memoria interna del FPGA. Este programa se encarga de interpretar las instrucciones que genera la computadora de adquisición (ver *Figura 1*). Las instrucciones se reciben a través de una memoria bipuerto. El puerto de entrada de esta memoria está conectado al controlador del puerto USB y el puerto de salida está conectado a una región del mapa de memoria externa del CPU J1.

La memoria de programa del J1 se puede modificar sin tener que recompilar todo el código del FPGA. Para este fin se usa la herramienta de Xilinx® “datazmem”. Esto permite una gran flexibilidad ya que es posible agregar funciones al controlador, probarlas y corregir los errores de programación, o incluir mejoras al sistema de manera rápida. Los registros de control y de configuración de las secuencias de control del detector también están direccionados a localidades del mapa de memoria del J1.

El diagrama a nivel RTL se puede ver en el Apéndice A, en la *Figura A.1*.

3.3 EL BLOQUE “CONTROL CCD SECUENCIAS- CCCD”

Contiene el generador de secuencias de temporización programable.

La salida de este bloque controla la adquisición de datos y las señales de reloj que se conectan al detector. La asignación de señales se puede ver en la Sección 5.

Las partes principales de este bloque son: una memoria bipuerto, que contiene las secuencias de temporización, y un contador programable diseñado para la generación de secuencias. La descripción del funcionamiento de este bloque y la manera de almacenar las secuencias se presenta en [1]. Este bloque está controlado por medio de programación desde el J1.

El diagrama a nivel RTL se puede ver en el Apéndice A, en la *Figura A.2*.

3.4 EL BLOQUE “MULTIPLEXOR DE ENTRADAS- MADC”

Se encarga de seleccionar la entrada de datos.

Se usan dos interruptores de la Nexys™2 para elegir entre 4 posibles entradas de datos. Se puede seleccionar la entrada de los convertidores analógicos a digital, entradas con valores fijos, o un simulador de entradas basado en contadores de 16 bits. En las Secciones 9 y 10 se detalla la manera de elegir la entrada adecuada.

Dentro de este bloque también se incluyen 4 convertidores de serie a paralelo para manejar las entradas de los convertidores ADC serie.

3.5 EL BLOQUE “COMUNICACIÓN FPGALINK A J1- COMJ1FPGA”

El bloque llamado “COMJ1FPGA”, de la *Figura 2*, se encarga de generar las señales de comunicación y la lógica de conexión entre el CPU J1, el controlador de secuencias del CCD “CCCD” y el controlador de comunicación del ducto USB “FPGALINK”. Dentro de este bloque están contenidas memorias bipuerto, una memoria FIFO y máquinas de estado finito (FSM) auxiliares en la generación de la temporización y el control del flujo de datos.

El diagrama de bloques del “COMJ1FPGA” se puede ver en la *Figura 3*.

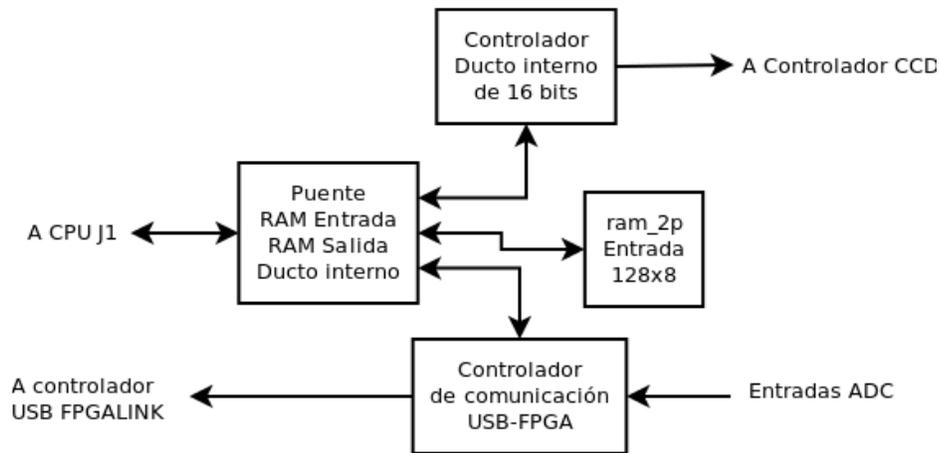


Figura 3: Diagrama de bloques del controlador de comunicación FPGALINK a J1 “COMJ1FPGA”.

En la *Figura 3*, el bloque llamado “ram_2p” se refiere a una memoria RAM bipuerto. Más adelante seguimos usando esta nomenclatura.

El diagrama a nivel RTL del “COMJ1FPGA” se puede ver en el Apéndice A, en la *Figura A.1*.

La parte más compleja del diagrama de la *Figura 3* es el “Controlador de comunicación USB-FPGA”. Esta parte amerita una explicación más detallada, misma que damos a continuación.

3.6. SUB-BLOQUE “CONTROLADOR DE COMUNICACIÓN USB-FPGA”

La función de este bloque es leer los datos del “Multiplexor de entradas ADC” y transmitirlos al controlador del ducto USB.

Un diagrama del contenido del bloque USB-FPGA se puede ver en la *Figura 4*.

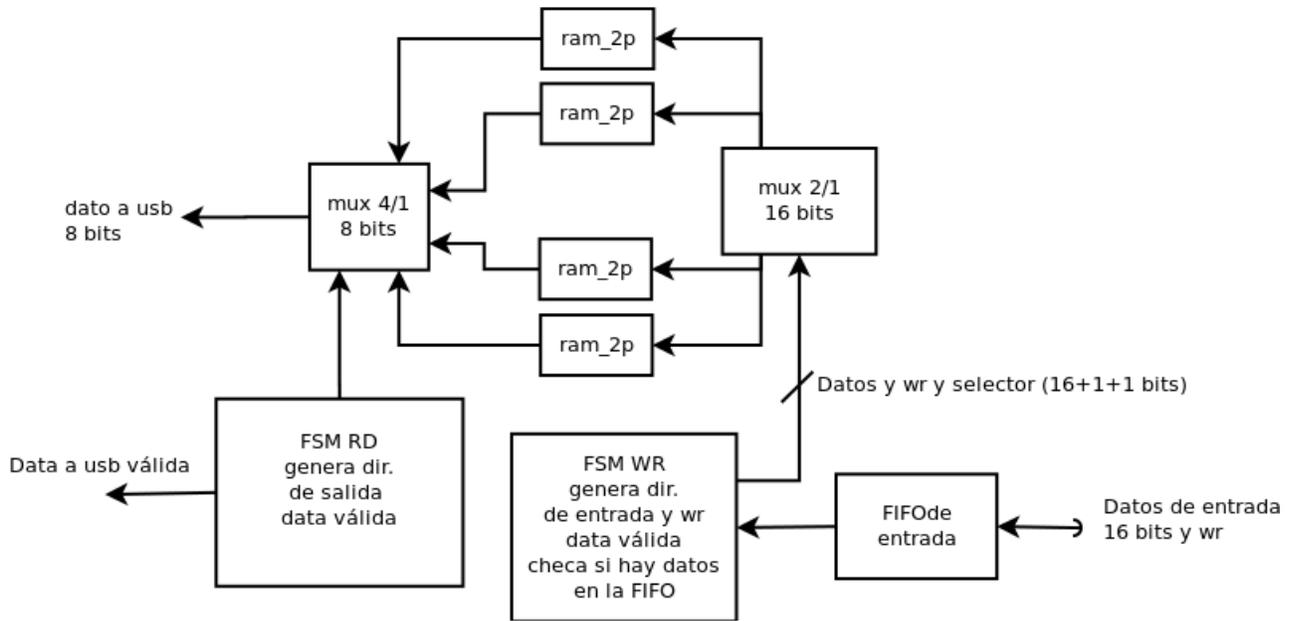


Figura 4: Diagrama de bloques del controlador de comunicación USB-FPGA.

El funcionamiento del controlador USB-FPGA es el siguiente:

Los datos de los ADC son generados mediante señales provenientes del controlador de secuencias del CCD. La señal **Muestra ADC** (el “wr” de la *Figura 4*, cercano al bloque “FIFO”) introduce los datos en la memoria “FIFO” de entrada.

La máquina de estado (FSM WR) monitorea si hay datos en la “FIFO”. Cuando detecta la presencia de datos, la FSM WR lee los datos de la “FIFO” y genera las señales de control, entre ellas: una señal de escritura (wr), una señal de selección de una de las 2 memorias bipuerto (ram_2p) y la dirección a la que hay que escribir el dato.

Cuando se llena la memoria (ram_2p) de 2 K x 16 bits, la FSM WR levanta una bandera para señalar al controlador del USB que puede empezar a leer un paquete de 4 Kb (2048 pixeles de 16 bits).

La FSM WR repite el proceso anterior, sólo intercambia la escritura de datos a la segunda memoria (ram_2p).

Simultáneamente, la FSM RD monitorea si está listo un paquete de 4Kb para mandarlo al controlador USB. Si es así, la FSM RD ajusta el selector (mux 4/1) a la memoria apropiada y permite que el controlador del puerto USB proceda a la lectura del paquete.

Cuando concluye la lectura del paquete de 4Kb la FSM RD verifica que el siguiente paquete esté listo para repetir el proceso. También genera una señal para notificar a la máquina de estado FSM WR que ya se transmitió el paquete y que es posible empezar el llenado de esta memoria con un nuevo paquete de datos.

Sintetizando lo anterior, el proceso de llenado y lectura de los paquetes se da de forma alternada, intercambiando el estado de lectura/escritura de las memorias (ram_2p). Cuando se está llenando una de las memorias en modo escritura, la otra está en modo de lectura, y se intercambian los roles conforme se van generando y transmitiendo los paquetes de datos.

En la *Figura 5* se puede ver el flujo de los datos desde la entrada ADC hasta la PC de adquisición y se puede apreciar gráficamente la explicación anterior.

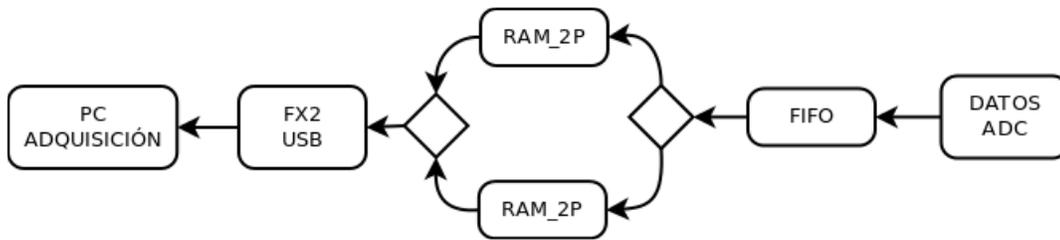


Figura 5: Diagrama de flujo de los datos desde los ADC hasta la PC de adquisición.

Como se comentó anteriormente, para implementar los diagramas de bloques descritos, se utilizó una tarjeta comercial modelo Nexys™2-1200.

4. LA TARJETA NEXYS™2

Se usa una tarjeta de desarrollo de FPGA modelo Nexys™2-1200 de la compañía Digilent® Inc. [4]. La selección de esta tarjeta se realizó con base en los recursos de memoria, conexiones de puertos digitales disponibles y la conexión a un puerto USB (ver *Figura 6*). También influyó en la selección la disponibilidad de diversos “IP-cores” de comunicación y control que están disponibles en la internet.

Otra ventaja del uso de un FPGA es la flexibilidad en cuanto a la actualización y mejoras del sistema, ya que es posible realizar cambios al mismo por medio de programación, inclusive se puede cambiar toda la tarjeta del FPGA conforme se desarrolla la tecnología.

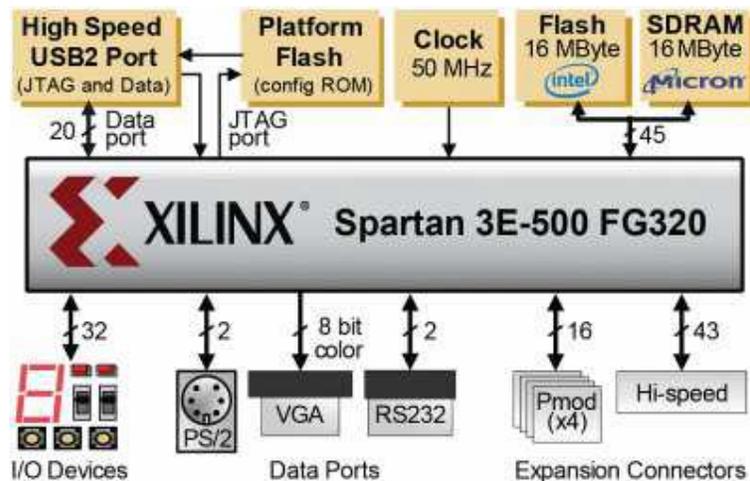


Figura 6: Diagrama de bloques de la tarjeta Nexys™2. (Tomada de la página “web” de Digilent Inc.)

Para el desarrollo de la programación del FPGA se utilizaron las herramientas de desarrollo ISE Webpack®, versión 13.2, Xilinx® [5]. Las herramientas usadas son de libre acceso.

5. CORRESPONDENCIA FASES A SEÑALES

Se utiliza una memoria de 17 bits x 512 localidades para almacenar las secuencias de control del detector [1]. Cada localidad de esta memoria representa un estado o valor de las señales de control del detector. Las secuencias de control del detector, como son la lectura de una imagen o el borrado de carga, se realizan manipulando las direcciones de la memoria de secuencias. Para una descripción más a detalle de cómo se generan las secuencias, ver [1]. Los bits del registro de salida de la memoria de secuencias están conectados internamente a señales de control y a las salidas de reloj del detector. A estos bits o señales los llamamos fases. La correspondencia entre las fases y las señales de control se muestra en la siguiente tabla.

TABLA 1

Tabla de correspondencia entre las fases y señales.

Fase o Bit No.	Señal del controlador o función
0	(READ*). Habilita la salida del ducto de lectura del detector.
3	(CRESET). Restablece el capacitor de integración.
4	(CONVST). Inicia conversión analógico a digital.
6	(IPIXEL). Incrementa el contador interno de pixel, maneja indirectamente la señal de PIXEL del detector.
8	(ILINE) Incrementa el contador interno de línea, maneja indirectamente la señal (LINE) del detector.
9	(LSYNC*). Señal del detector restablece el contador de pixeles.
10	(RESETB*). Señal de restablecer renglón Hawaii. Pone el valor de referencia (bias) en todo el renglón seleccionado del detector.
11	(FSYNC*). Señal de restablecer contador de líneas Hawaii.
14	Selector ADC bit 0 (selecciona el cuadrante del detector que se debe muestrear).
15	Selector ADC bit 1 (selecciona el cuadrante).
16	Muestrea ADC. Avisa al FIFO que lea el dato del ADC.

Las señales marcadas con asterisco (*) están directamente asociadas a la señal del detector. Ver la referencia [6].

La señal CRESET está relacionada con un circuito muestreador/retenedor de orden 1 (integrador de pendiente simple), y se usa para poner el valor del inicio de la integración.

La señal **CONVST** está relacionada con los convertidores analógicos a digital (ADC).

Los bits de selección (FASE 14 y FASE 15) habilitan la entrada del convertidor que se debe muestrear. Hay 4 convertidores ADC; cada convertidor se conecta a la salida del cuadrante correspondiente.

NOTAS:

Las siguientes notas sirven de referencia para realizar cambios a las secuencias de muestreo del controlador:

1. Cuando se utiliza una frecuencia de muestreo (**FREC 0**) (ver referencia [1]), la señal de “**Muestrea ADC**” debe estar activa en “1” lógico, en dos localidades consecutivas de la memoria de secuencias.
2. Durante la secuencia de “digitalizar pixel” (**DPIX**) [1] se debe activar 4 veces la señal de “**Muestrea ADC**” y ajustar los bits 14 y 15 para seleccionar el cuadrante adecuado.

6. CORRESPONDENCIA J1 A SEÑALES.

Es posible activar las señales de control del detector por medio de instrucciones de programación en lenguaje “Forth” con el microcontrolador J1. Existe un registro de 16 bits en el J1 cuyas señales están conectadas en paralelo con la señal que viene de la memoria de secuencias. Las señales se conectan por medio de compuertas “o” ó compuertas “y”, dependiendo de la polaridad de la señal. Esto simplifica la programación ya que, desde el punto de vista del J1, siempre se usa un “1” en el bit correspondiente para activar la señal. En la siguiente tabla se presenta la correspondencia entre los bits del registro de control del J1 y las señales de salida conectadas al detector.

TABLA 2

Tabla de correspondencia de bits J1 a señales del detector.

Bit del controlador J1	Señal del detector
0	(SCONV) Inicia la conversión analógica a digital.
1	(CRESET) Restablece a cero el circuito de integración.
2	(RESETB) Señal de restablecer renglón Hawaii.
3	(ILINE) Señal de seleccionar línea Hawaii, incrementa el contador de línea.
4	(IPIXEL) Señal de seleccionar pixel Hawaii, incrementa el contador de pixel.
5	(LSYNC) Señal de restablecer contador de pixel Hawaii.
6	(FSYNC) Señal de restablecer contador de líneas Hawaii.
7	(READ) Señal de habilitar la salida al ducto de lectura del pixel Hawaii.
8	(CAL) Calibra, se utiliza para activar la secuencia de calibración de los convertidores ADC serie.
9	(SADCCLK) Señal de reloj para el convertidor ADC serie.

7. CONECTORES PMOD

Los conectores PMOD¹ [4] están colocados por un lado de la tarjeta Nexys™2. Se usan 4 conectores PMOD: JA, JB, JC, JD para conectar a la Nexys™2 con la tarjeta de interfaz TI-NEXYS2-HWI.

La tarjeta TI-NEXYS2-HWI se conecta a su vez con las tarjetas de acondicionamiento de señal de los convertidores analógicos a digital y las señales de control del detector.

7.1 PMOD JA

Se usa para las conexiones de las señales de control del detector Hawaii, **pixel**, **line**, etc.

TABLA 3

Tabla de conexiones PMOD JA.

PMOD	HAWAII	FPGA	PMOD	HAWAII	FPGA
JA1	RESETB	L15	JA7	PIXEL	K13
JA2	LINE	K12	JA8	LSYNC	L16
JA3		L17	JA9	FSYNC	M14
JA4		M15	JA10	READ	M16
JA5		GND	JA11		GND
JA6			JA12		

7.2 PMOD JB

Se usa para las conexiones de señales de **conversión**, **muestrea**, etc.

TABLA 4

Tabla de conexiones PMOD JB.

PMOD	HAWAII	FPGA	PMOD	HAWAII	FPGA
JB1		M13	JB7	CRESET Restablece el capacitor de integración.	P17
JB2		R18	JB8	SAMPLE SADCLOAD Inicia conversión.	R16
JB3		R15	JB9	SADCCLK Reloj del convertidor ADC.	T18
JB4		T17	JB10	CALIBRA A la pata CAL del convertidor.	U18
JB5		GND	JB11		GND
JB6			JB12		

¹ Estándar definido por Digilent®

7.3 PMOD JC

Se usa para las conexiones de los datos de entrada en serie de los convertidores ADC.

TABLA 5

Tabla de conexiones PMOD JC.

PMOD	HAWAII	FPGA	PMOD	HAWAII	FPGA
JC1	DATA2	G15	JC7		H15
JC2		J16	JC8	DATA2	F14
JC3	DATA3	G13	JC9		G16
JC4		H16	JC10	DATA1	J12
JC5		GND	JC11		GND
JC6			JC12		

DATA1 - se refiere a la entrada de datos del ADC conectado al cuadrante 1, y así sucesivamente.

7.4 PMOD JD

Se usa para las conexiones del motor de pasos.

TABLA 6

Tabla de conexiones PMOD JD.

PMOD	SEÑAL	FPGA	PMOD	SEÑAL	FPGA
JD1	Fase A (S)	J13	JD7		K14
JD2	Fase A (S)	M18	JD8	Interruptor Derecha (E)	K15
JD3	Fase B (S)	N18	JD9	Interruptor Izquierda (E)	J15
JD4	Fase B (S)	P18	JD10	Interruptor Inicio (E)	J14
JD5		GND	JD11		GND
JD6			JD12		

Las señales con (S) son de salida y se conectan al manejador del motor de pasos. Las señales con (E) son de entrada y se usan para detectar los interruptores e identificar la posición de la rueda de filtros.

8. TARJETA DE INTERFAZ TI-NEXYS2-HWI

Se usa para la interconexión entre la tarjeta Nexys™2 y el resto de la electrónica del instrumento² (ver *Figura 1*). Consiste principalmente en reforzadores de señal y optoacopladores.

Por medio de esta tarjeta también se controla un motor de pasos que está acoplado a la rueda de filtros del instrumento.

En el Apéndice B se muestran los diagramas electrónicos de esta tarjeta.

9. MODO DE PRUEBA DEL CONTROLADOR

² Llamamos instrumento a la cámara infrarroja con rueda de filtros integrada, cuyo detector es el motivo del controlador presentado en este reporte.

Para verificar el funcionamiento del controlador se puede utilizar la tarjeta Nexys™2 sin tener que conectarla al resto de la electrónica del detector Hawaii.

El modo de prueba es seleccionado al ajustar los interruptores SW6 y SW7 de la Nexys™2 en “1” y “0” respectivamente (ver la Tabla 7). Esto conectará internamente la señal de unos contadores de 16 bits a las entradas de los convertidores ADC. Cada cuadrante tiene un contador independiente que se incrementa con la señal de muestreo. El valor del incremento del contador es igual al número del cuadrante, es decir, el cuadrante I incrementa el contador de 1 en 1; el cuadrante II incrementa el contador de 2 en 2 y así sucesivamente.

La imagen obtenida en el modo de prueba se muestra en la *Figura 7*.

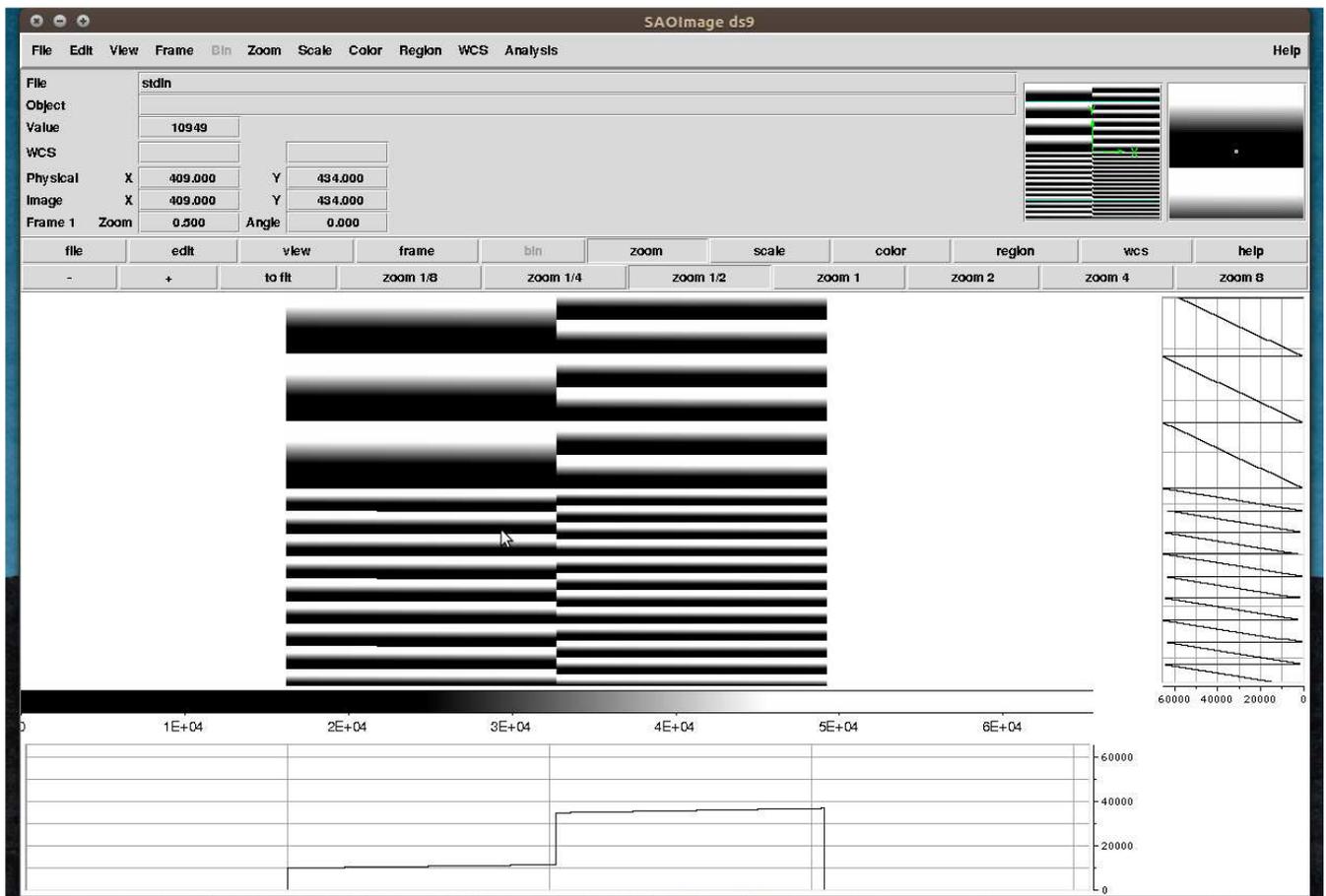


Figura 7: Imagen del controlador con las entradas de prueba (SW6=1, SW7=0).

10. PARA SELECCIONAR LA ENTRADA DE DATOS

TABLA 7

Selección de las entradas del multiplexor de ADC.

Interruptor SW7	Interruptor SW6	Entrada ADC conectada internamente
“0”	“0”	Valor fijo 2468 (hexadecimal)
“0”	“1”	Entrada de contador interno, sirve para simular una señal de rampa monotónica para cada cuadrante.
“1”	“0”	Entrada de los convertidores ADC serie.
“0”	“0”	Valor fijo 1234 (hexadecimal)

En la tabla:

- “0”: apagado, interruptor hacia abajo, hacia la orilla de la tarjeta Nexys™2.
- “1”: encendido, interruptor hacia arriba.
- SW6 y SW7 son los interruptores deslizables más cercanos al conector PS2 de la Nexys™2.

11. PRUEBAS CON EL DETECTOR DE INGENIERÍA

Se realizaron pruebas de las secuencias de reloj y de adquisición de imágenes con el detector de ingeniería. Las pruebas fueron satisfactorias y se pudo comprobar la funcionalidad del controlador. En la *Figura 1.8* se presenta una imagen del detector de ingeniería obtenida con el controlador. La imagen es de 1024x1024 pixeles. Se ven claramente los 4 cuadrantes con los defectos propios de un detector de baja calidad y sin la etapa fotosensible, pero pletórica de estructura fina, que demuestra finalmente el funcionamiento correcto de toda la electrónica.

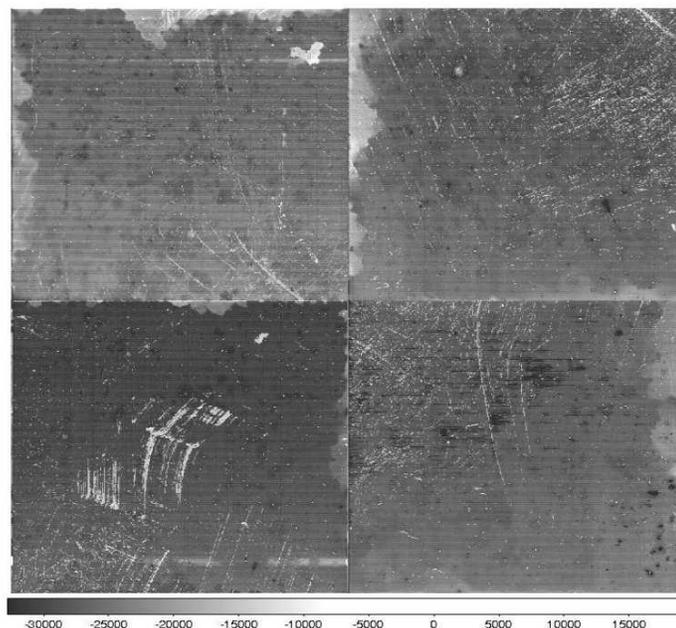


Figura 8: Imagen del detector de ingeniería.

Como información adicional, se presenta una imagen de un campo “plano” obtenida con el controlador presentado en [1]. La imagen es de un detector SiTe3A de 1024x1024 pixeles fotosensibles con pixeles de “overscan” para formar una imagen de 1060x1026.

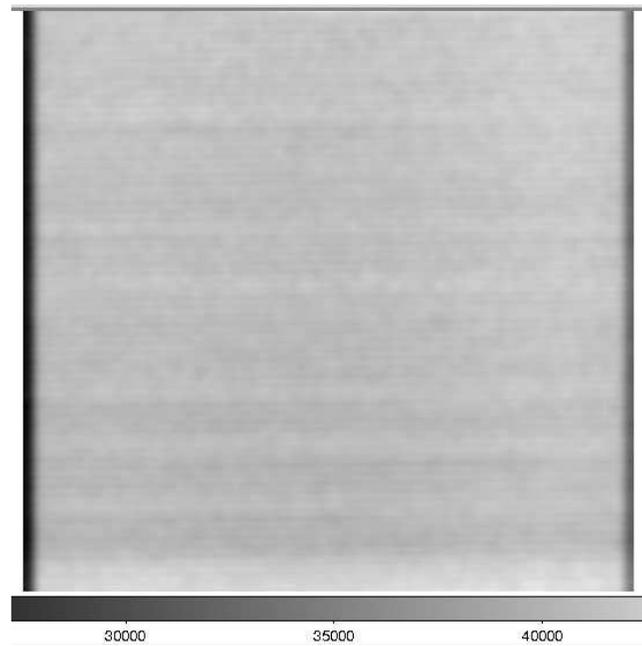


Figura 9: Imagen de un CCD obtenida con el controlador presentado en [1].

12. CONCLUSIONES

Se presentó el diseño y la arquitectura del arreglo lógico programable (FPGA) que se utiliza para la adquisición de imágenes con el detector infrarrojo SWIR 1024X1024 HAWAII/ISIC8000.

El controlador implementado permite leer el detector a la máxima velocidad de los convertidores analógicos a digital seleccionados. Se adquiere y se transfiere una imagen a la computadora de visualización en 3.6 segundos. Se utilizó una tarjeta de desarrollo de FPGA modelo Nexys™2 para la implementación del diseño. La interfaz del controlador es por medio de un puerto USB.

Se desarrollaron los programas de control del detector y de lectura de imágenes para una PC y se verificó el funcionamiento del sistema con señales de entrada simuladas y con un detector de ingeniería.

El sistema funciona de manera similar a los controladores de CCD desarrollados por el grupo de instrumentación en Ensenada [1]. También se presentó el diseño electrónico de la tarjeta de interfaz para conectar el controlador FPGA con las tarjetas de acondicionamiento de señal del detector.

13. **BIBLIOGRAFÍA**

- [1] Zazueta, S., Murillo, F., Colorado, E., Ochoa, J.L., Murillo, J.M. y Quiroz, F. “Reporte del controlador SITE4”, *Publicaciones Técnicas del Instituto de Astronomía, UNAM.* Reporte Técnico. RT-2014-02. Mayo, 2014.
- [2] McClelland Chris, “*FPGALink User Manual*”.
www.swaton.ukfsn.org
http://www.swaton.ukfsn.org/docs/fpgalink/verilog_paper.pdf
- [3] Bowman, J.
“*J1: a small Forth CPU Core for FPGAs*”
EuroForth 2010, Proceedings.
- [4] “*Nexys™2*”. Manual del producto.
http://www.digilentinc.com/Data/Products/NEXYS2/Nexys2_rm.pdf
- [5] “*ISE Webpack®*”. Manual de producto, FPGA Xilinx®, sistema de desarrollo.
www.xilinx.com.
<http://www.xilinx.com/products/design-tools/ise-design-suite/isewebpack.htm>
- [6] “HAWAII/ISIC8000 Datasheet”
Rockwell®. Hoja de datos del detector.

14. APÉNDICE A. DIAGRAMAS “RTL” DE ALTO NIVEL

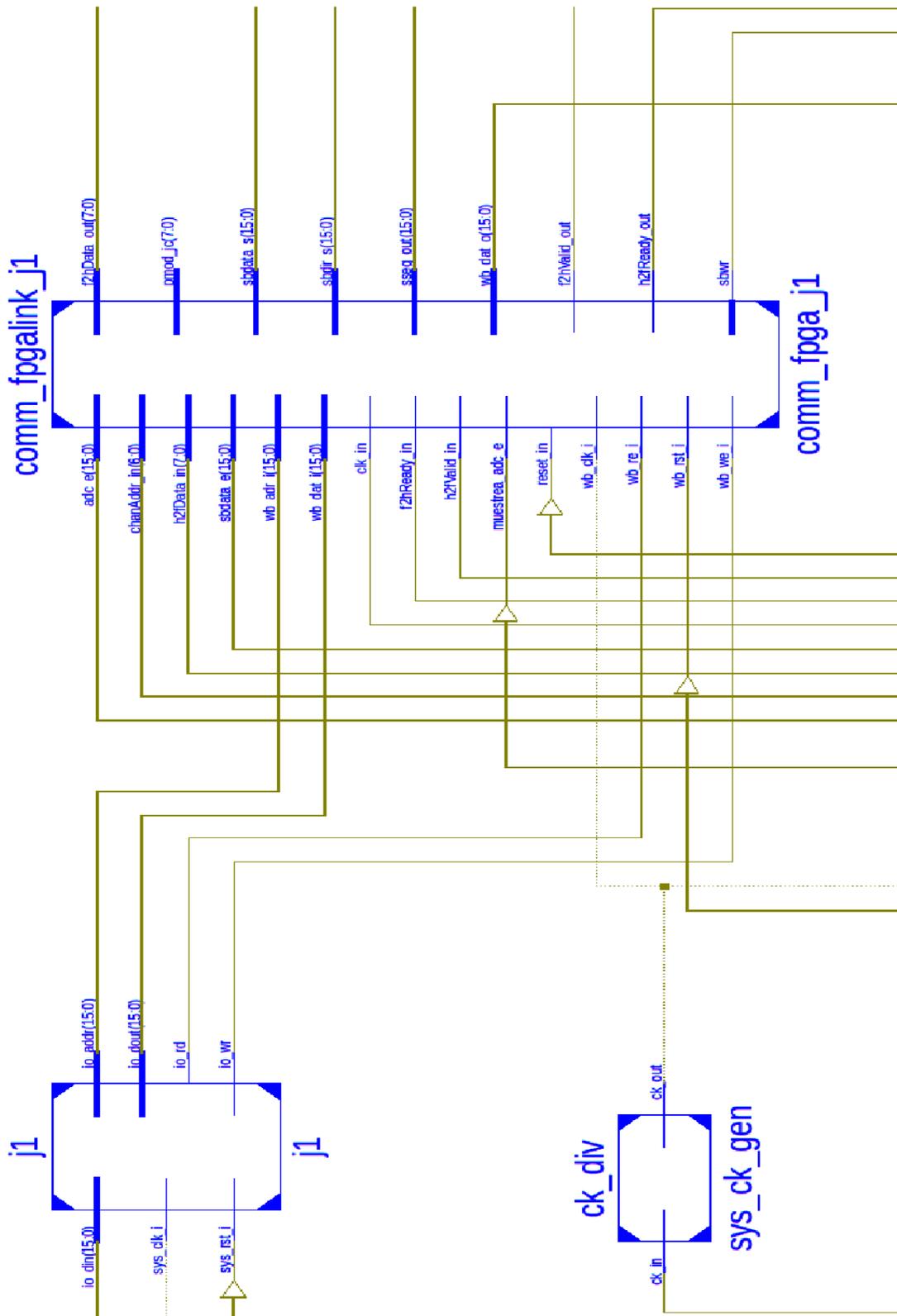


Figura A.1: Diagrama “RTL” de los bloques J1 y controlador de comunicación.

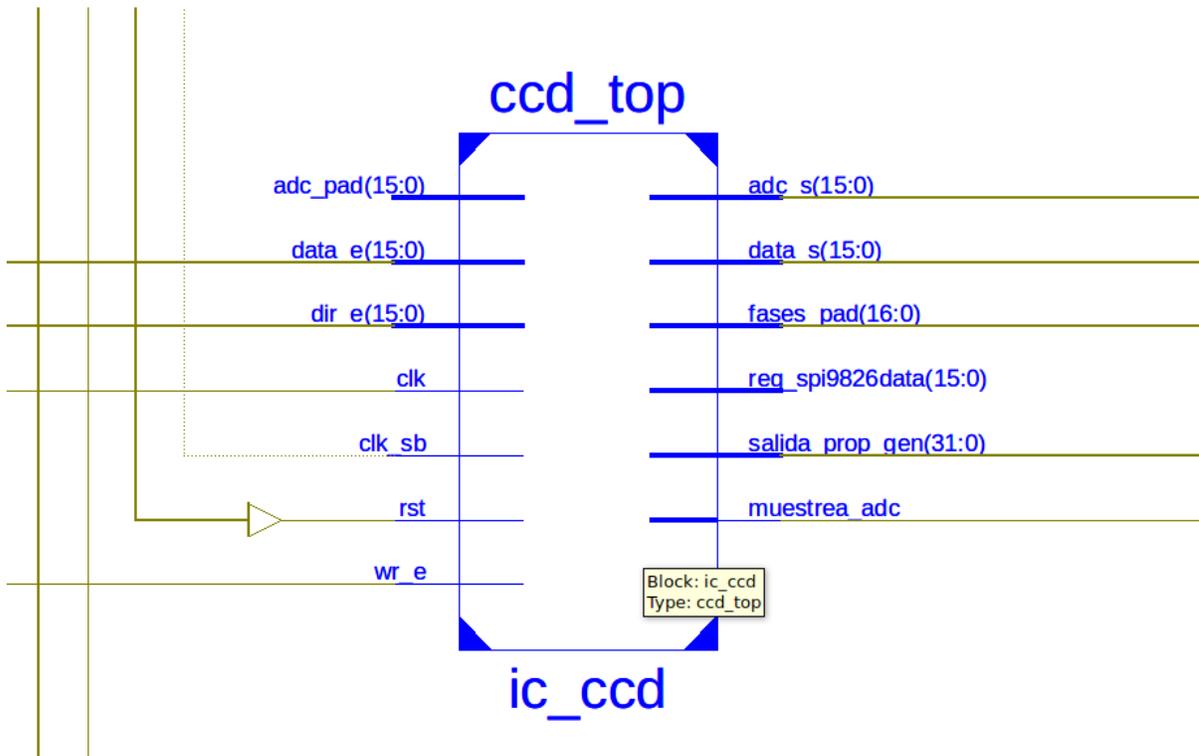


Figura A.2: Diagrama "RTL" del bloque controlador de secuencias.

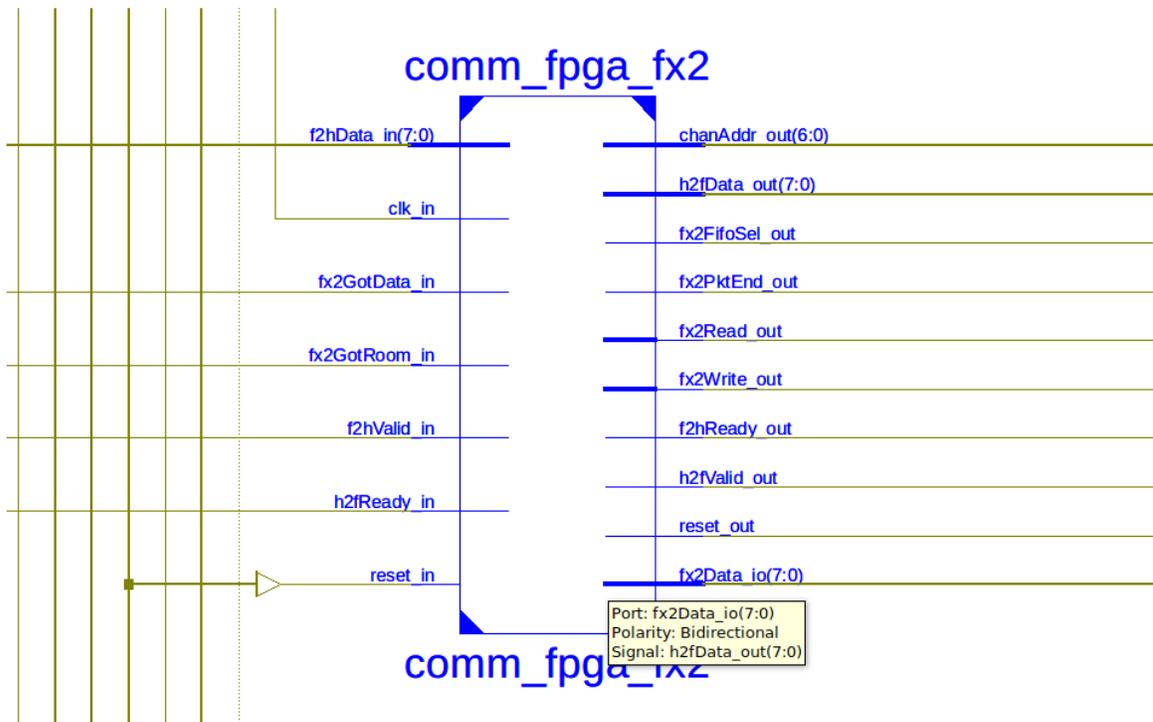


Figura A.3: Diagrama "RTL" del bloque FPGALINK.

15. APÉNDICE B. DIAGRAMAS DE LA TARJETA DE INTERFAZ

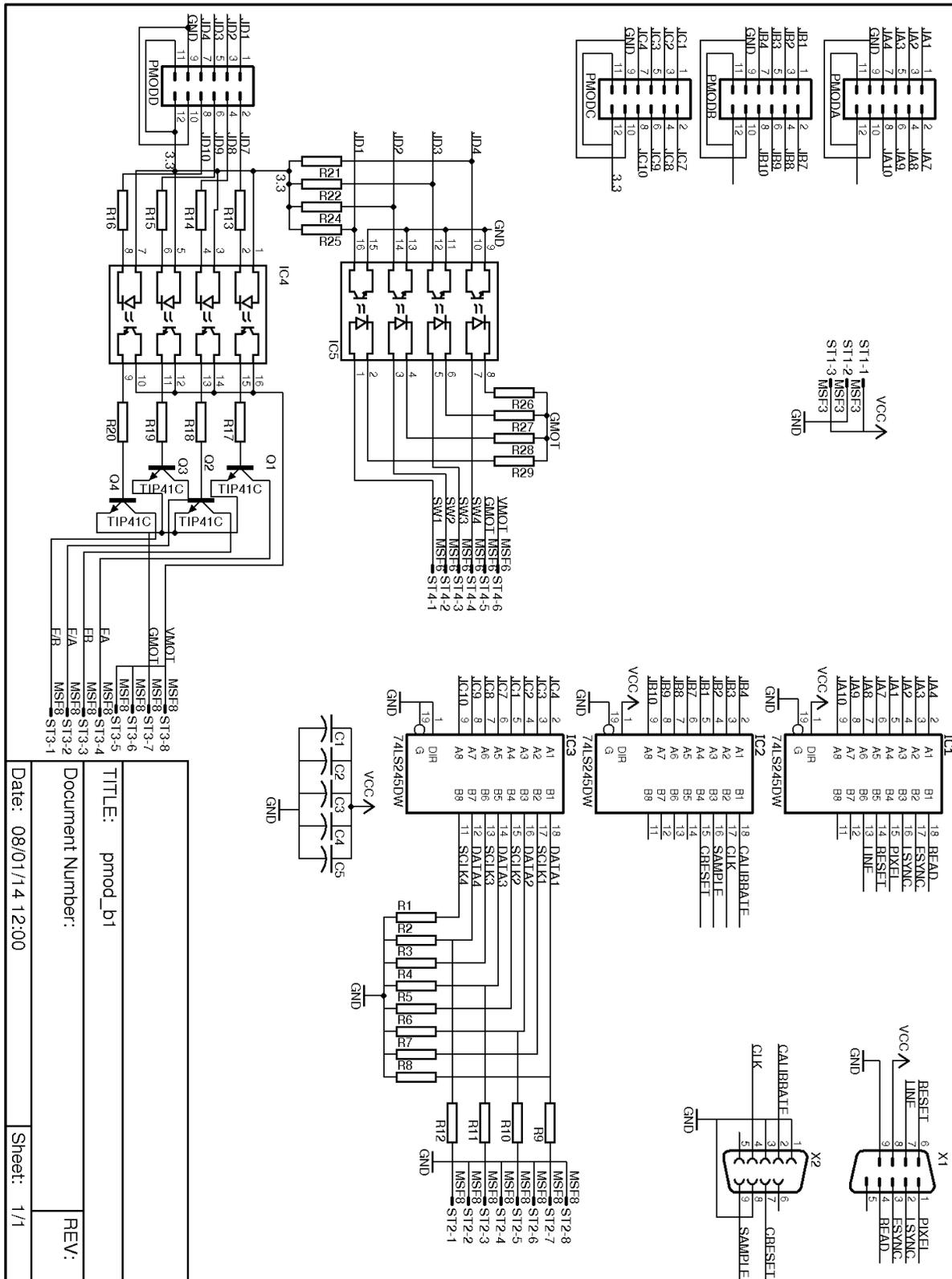


Figura B.1: Diagrama electrónico de la tarjeta de interfaz.

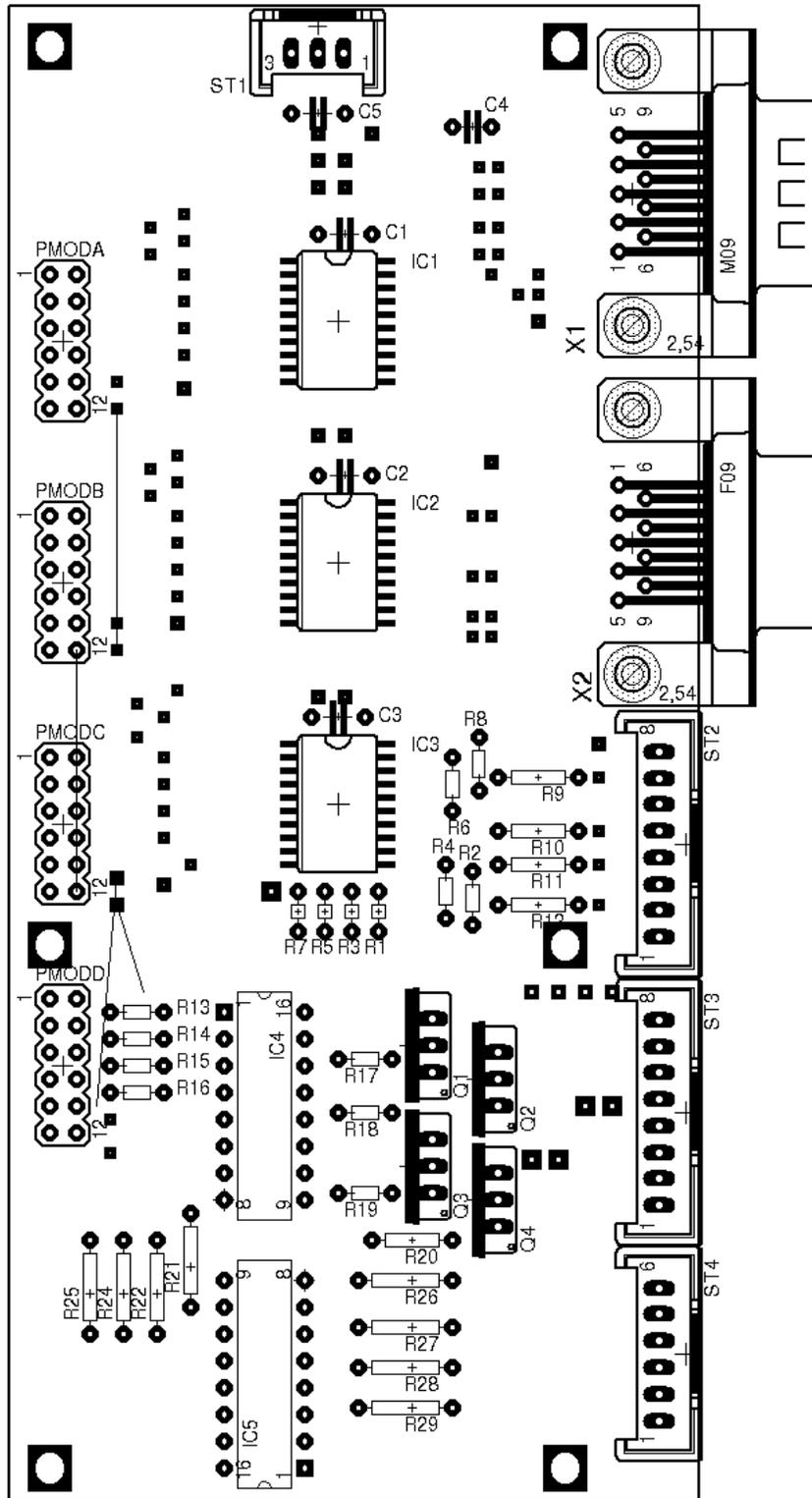


Figura B.2: Diagrama de localización de componentes de la tarjeta de interfaz.

