

El controlador SITE4.

S. Zazueta, F. Murillo, E. Colorado, J.L Ochoa, J.M. Murillo, F. Quirós, E. López, G. Guisa.

Instituto de Astronomía. Universidad Nacional Autónoma de México.
Km. 103 Carretera Tijuana-Ensenada, Ensenada, B. C., México.

RESUMEN:

El objetivo del presente trabajo es describir el controlador para el detector SITE4 que se construyó en el Departamento de Instrumentación de Ensenada. El CCD utilizado es un SITE SI03A de 1024x1024 pixeles.

El controlador es una versión híbrida que consiste en una combinación de un antiguo controlador de CCD modelo CE260 de la compañía Photometrics y del trabajo más reciente del grupo de instrumentación para el desarrollo de controladores de CCD.

Contenido

1.	INTRODUCCIÓN	3
2.	FILOSOFÍA DE DISEÑO DEL CONTROLADOR DE CCDS OAN	3
3.	DESCRIPCIÓN DEL CONTROLADOR SITE 4	4
4.	LA COMPUTADORA DE CONTROL	5
	4.1 LOS ARCHIVOS DE CONFIGURACIÓN DE LA COMPUTADORA DE CONTROL	5
5.	LAS INSTRUCCIONES DEL CONTROLADOR	6
	5.1 INSTRUCCIONES PARA LA ADQUISICIÓN DE IMÁGENES	8
	5.2 INSTRUCCIONES DE CONFIGURACIÓN DEL CONTROLADOR.	10
6.	LA SECUENCIADORA	12
7.	LAS SECUENCIAS	14
8.	LAS TARJETAS DEL CONTROLADOR	15
	8.1 LA TARJETA DE COMUNICACIÓN	15
	8.2 LA TARJETA PROCESADORA DE VIDEO Y DE MUESTREO DOBLE CORRELACIONADO	15
	8.3 LAS TARJETAS DE FASES SERIE Y PARALELA	16
	8.4 LA TARJETAS DE CONTROL DE TEMPERATURA Y OBTURADOR	16

9. PRUEBAS Y RESULTADOS -----	17
10. REFERENCIAS -----	19
APÉNDICE A. CORRESPONDENCIA DE BITS A SEÑALES DE TARJETA DE COMUNICACIÓN -----	20
APÉNDICE B. SEÑALES DEL CONECTOR DB37 QUE CONECTA LA NEXIS2 CON EL CONTROLADOR CE260 -----	21
APÉNDICE C. CONEXIONES DE LA TARJETA DE COMUNICACIÓN A LAS TARJETAS DEL CONTROLADOR CE260 --	22
APÉNDICE D. DIAGRAMA DE SECUENCIAS-----	23
APÉNDICE E. DIAGRAMAS ELECTRÓNICOS -----	25
E.1 TARJETA DE COMUNICACIÓN -----	25
E.2 DIAGRAMAS DE LAS TARJETAS DE ADAPTACIÓN-----	26

1. INTRODUCCIÓN

Las cámaras CCD científicas son el instrumento más utilizado para la adquisición de imágenes astronómicas. Debido a esto, es una necesidad primordial del observatorio poder contar con un sistema de adquisición de imágenes confiable, fácil de usar y de fácil mantenimiento.

A lo largo de los últimos 10 años se ha realizado un trabajo de desarrollo de cámaras y sus controladores con miras a satisfacer estos requerimientos.

En este trabajo se describe el diseño de la última versión del controlador que hemos desarrollado. El controlador cumple con los requisitos técnicos para considerarse de calidad científica. Además posee cualidades que ninguno de los controladores actuales en funcionamiento en el observatorio posee, entre ellas se pueden destacar las siguientes características: interfaz ethernet, capacidad de variar la programación de secuencias y modos de lectura dependiendo de la necesidad observacional. Además, se tiene la capacidad de repararlo en sitio cuando se presente una falla de algún componente.

2. FILOSOFÍA DE DISEÑO DEL CONTROLADOR DE CCDS OAN

El controlador de CCDs OAN se diseñó en el Departamento de Instrumentación desde hace diez años; la *Figura 1* muestra su arquitectura. Este diseño modular ha sido la base de los controladores desarrollados desde la primera generación [4, 5, 6]. Sólo se han actualizado los módulos de construcción del sistema adaptándolos a la tecnología más reciente. Por ejemplo, el diseño inicial de la tarjeta secuenciadora (“*Sequencer*”) está basado en microcontroladores de la familia MCS8051 y memorias RAM discretas [4], mientras que el diseño del sistema SITE4 se basa en “cores” de programación, implementados en un FPGA.

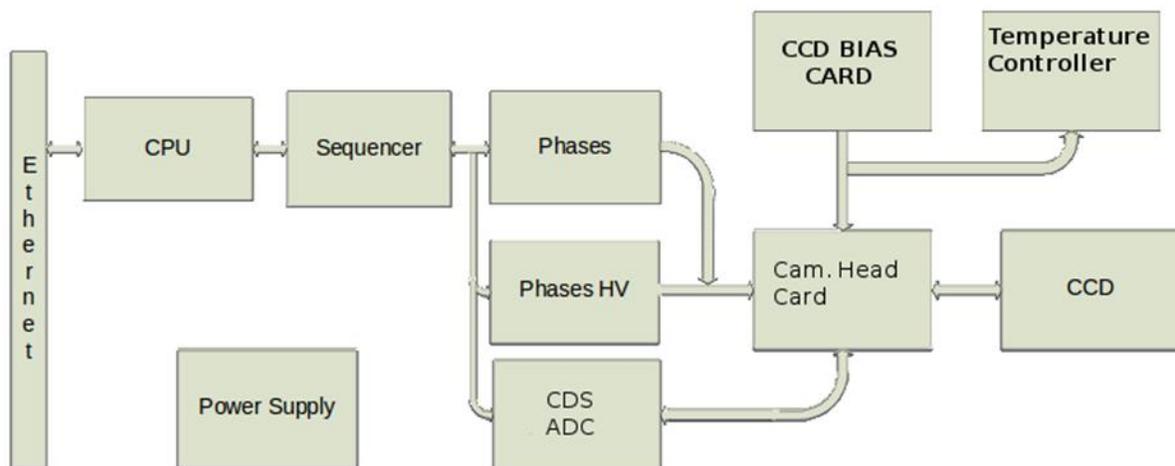


Figura 1: Arquitectura del controlador de CCDs OAN.

3. DESCRIPCIÓN DEL CONTROLADOR SITE 4

El controlador SITE₄ se implementó usando una combinación de la versión más reciente del controlador de CCDs OAN y partes de un controlador de CCD “Photometrics” CE260. La *Figura 2* muestra la arquitectura resultante. Al controlador CE260 le añadimos una computadora de una sola tarjeta (SBC), la “Computadora de control” en el diagrama. Para implementar la secuenciadora, “Secuenciador” en el diagrama, utilizamos una tarjeta con un FPGA y una tarjeta de comunicación.

El resultado es un controlador de CCD moderno, compacto y muy flexible en cuanto a uso y facilidad de programación.

Es posible modificar gran parte de los parámetros de funcionamiento del controlador y con ello cambiar secuencias de lectura, cambiar la frecuencia de muestreo, redefinir la geometría de adquisición del detector etc.

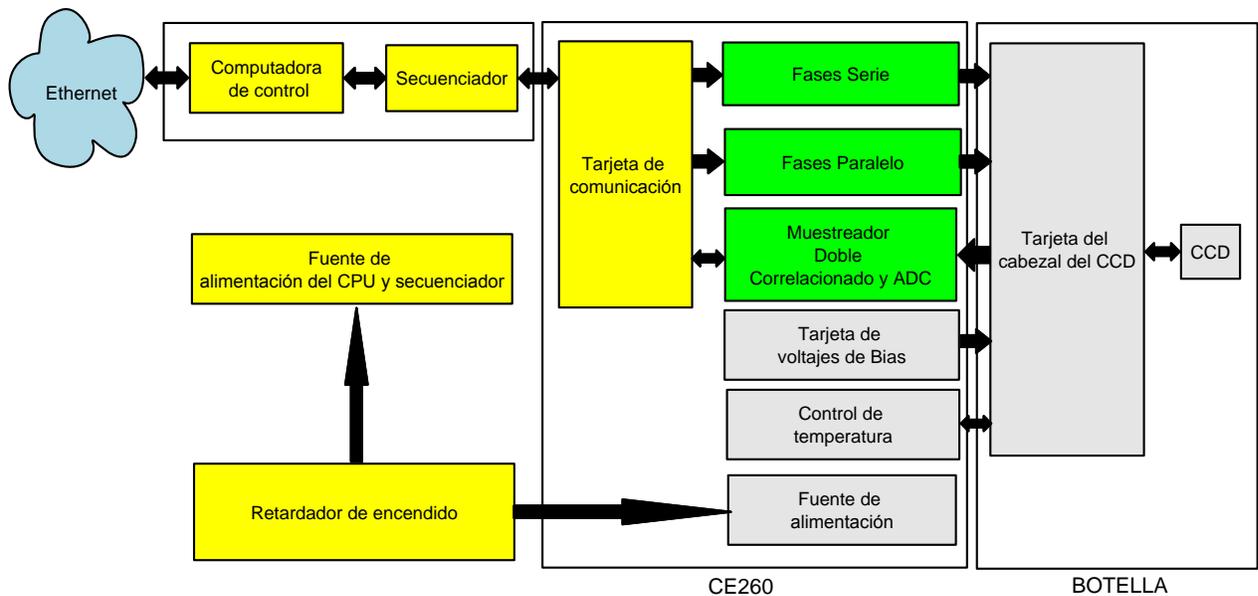


Figura 2: Arquitectura del controlador SITE 4.

Del controlador CE260 tomamos las tarjetas marcadas en verde y gris (ver *Figura 2*) y sus fuentes de poder. Algunas de las tarjetas las modificamos para poder acoplarnos a ellas. Los bloques de color verde muestran las tarjetas que fueron modificadas y, en amarillo, las etapas que se construyeron o agregaron.

Se reutilizaron las tarjetas y las fuentes de poder del CE260 para ahorrar tiempo y aprovechar los recursos con que contamos; las tarjetas del CE260 cumplen con el desempeño adecuado y pudimos adaptarlas sin mayor problema.

La mayor parte de las modificaciones hechas a las tarjetas del CE260 se refieren a la remoción de los circuitos integrados donde se generan las secuencias. En particular quitamos dos FLASH-ROM y un PAL. Esto nos permite generar las secuencias acorde a nuestras necesidades y le da una gran flexibilidad al controlador.

Cabe mencionar que hemos desarrollado un juego de tarjetas [4, 5, 6] con un funcionamiento similar, o mejor, en cuanto a velocidad y niveles de ruido a las del CE260. Con ellas hemos implementado totalmente varios controladores para otros detectores, entre ellos el E2V CCD97 y el E2V CCD4240.

4. LA COMPUTADORA DE CONTROL

La computadora de control es una **SBC** (single board computer), basada en un microprocesador ARM, el modelo es **TS7800**, construida por Technologic Systems [2]. El sistema operativo que ejecuta es una versión dedicada de Linux.

La función principal de la CPU es ejecutar un programa servidor y recibir instrucciones a través de su puerto ethernet. Las instrucciones modifican los registros de control de la tarjeta secuenciadora y generan las acciones de control que realizan las operaciones del CCD. Algunas de las funciones que realiza la SBC son adquirir una imagen o cambiar el funcionamiento del controlador.

Las instrucciones de control se reciben en caracteres ASCII a través de un puerto de “socket” tipo TCP/IP. El lenguaje de las instrucciones es sencillo; a manera de ejemplo, para tomar una imagen se envían las siguientes instrucciones al “socket”:

```
“OBS 1000 MANDABIN”
```

Con este juego de instrucciones se genera una imagen de 1000 milisegundos y posteriormente se transmite en formato binario a través del puerto de “socket”. En un apartado posterior se lista el conjunto de instrucciones que interpreta el controlador.

La dirección de internet por omisión del controlador es: **192.168.0.50**

El puerto de “socket” es el **4950**.

La dirección de IP y los demás parámetros de operación de la CPU se puede cambiar por medio de instrucciones de linux haciendo un “telnet” a la dirección de la CPU.

4.1 LOS ARCHIVOS DE CONFIGURACIÓN DE LA COMPUTADORA DE CONTROL

Al inicio de la operación del controlador se ejecutan las siguientes operaciones:

1. La CPU programa el FPGA de la secuenciadora.
2. La CPU carga el programa de control del detector SITE4.
3. El programa de control configura los registros del FPGA y carga dos archivos de configuración: “ccdgen.ini” y “ccdgen_sec.txt”.

El archivo “ccdgen.ini” contiene instrucciones de configuración del detector y otras instrucciones pertinentes a la configuración inicial del controlador.

El archivo “*ccdgen_sec.txt*” contiene las secuencias de lectura del controlador. Los renglones de este archivo tienen el siguiente formato:

$n_1 n_2H$

donde:

- n_1 Número decimal que define la dirección de memoria donde se aloja el elemento de la secuencia.
- n_2 Número en hexadecimal terminado en 'H' por ejemplo: 00012dH. Este número define el valor del elemento de la secuencia.

En la Sección 7 se puede ver una explicación detallada de la función de estos dos parámetros. Así pues, un ejemplo válido de este archivo sería:

```
0      0012DH
1      0012DH
2      0A12DH
...
399    001A1H
400    0012DH
...
```

5. LAS INSTRUCCIONES DEL CONTROLADOR

En los siguientes apartados se describen las instrucciones que ejecuta el controlador. Las instrucciones se reciben a través del puerto de “socket” y están formadas por caracteres ASCII. Esto permite que se pueda desarrollar un programa de interfaz de usuario de alto nivel como el de E. Colorado [3] o podemos utilizar el controlador por medio de herramientas de “línea de comando” de uso común en Windows o Linux tales como el “netcat” (nc) o los “netpipes” (hose y faucet).

A manera de ejemplo se puede ver el “script” del “bash” de Linux de la *Figura 3* que sirve para adquirir una imagen y que usa la instrucción “hose” para transmitir por el “socket” TCP/IP.

```
– Inicio del listado “hasimg.sh”
#!/bin/sh
# script para hacer una imagen de tiempo de exposición dado por el parámetro.
# La imagen se guarda en el directorio /dev/shm y se llama “im2.fits”
# Ejemplo
# hasimg.sh 1000
#
echo ”LIMPIA OBS $1” | hose 192.168.0.50 4950
## Este lazo se ejecuta hasta que el controlador deja de responder “Ocupado”
while sleep 2;
do
    echo “MANDABIN “ | hose 192.168.0.50 4950 > /dev/shm/im2
    s1=$(head -c14 /dev/shm/im2)
    echo $s1
    if [ "$s1" != "Ocupado" ];
    then
        break
    fi
done
# La siguiente instruccion convierte la imagen de formato binario a FITS
bin2fits2 /dev/shm/im2 --sigdata
– Fin listado “hasimg.sh”
```

Figura 3: Script para adquirir una imagen.

Separamos las instrucciones en dos secciones de acuerdo al uso. Primero presentamos las instrucciones de uso del sistema como una cámara para adquirir imágenes. Después, en la siguiente sección, presentamos las instrucciones de configuración del controlador. Estas instrucciones son un poco más técnicas y definen el funcionamiento y el modo de operación del detector.

5.1 INSTRUCCIONES PARA LA ADQUISICIÓN DE IMÁGENES

Las instrucciones para la adquisición de imágenes y sus argumentos se detallan en la Tabla 1.

TABLA 1.
Instrucciones para la adquisición de imágenes.

OBS t	<p>Adquiere una imagen con el obturador abierto con tiempo de exposición dado por el parámetro numérico t. El tiempo se especifica en milisegundos.</p> <p>Ejemplo: <i>OBS 1000</i></p> <p>Adquiere una imagen con tiempo de exposición de 1 segundo (1000 ms). La imagen adquirida permanece en la memoria del controlador, para transmitir la imagen por el “socket”. Ver la definición de la instrucción “MANDABIN”.</p>
MANDABIN	<p>Transmite la imagen por el “socket”. Si el controlador está ocupado realizando alguna función, la instrucción regresa la cadena “Ocupado”. La imagen está definida por un encabezado de 14 caracteres y un arreglo de enteros de 16 bits con la información de los “píxeles”. El encabezado está definido por:</p> <p>BIN NR NC</p> <p>Donde: BIN – La cadena “BIN” NR – Número de renglones de la imagen. NC – Número de columnas de la imagen. Así pues un ejemplo de encabezado es: BIN 1024 2048</p>
BIAS t	<p>Adquiere una imagen con el obturador cerrado con tiempo de exposición dado por el parámetro numérico t. El tiempo se especifica en milisegundos.</p> <p>Ejemplo: <i>BIAS 1000</i></p>
BINN $fb t$	<p>Adquiere una imagen con “binning” con el obturador abierto con tiempo de exposición dado por el parámetro numérico t. Los parámetros de la instrucción son el factor de “binning” fb y el tiempo de exposición en milisegundos.</p> <p>Ejemplo: <i>BINN 2 1000</i></p> <p>Adquiere una imagen con “binning” 2 y con tiempo de exposición de 1 segundo (1000 ms).</p>
B-BINN $fb t$	<p>Similar al mando BINN pero no abre el obturador, es decir hace un “bias” con “binning”.</p> <p>Ejemplo: <i>B-BINN 2 1000</i></p> <p>Adquiere una imagen de “bias” con “binning” 2 y con tiempo de exposición de 1 segundo (1000 ms).</p>
ABRE	Abre el obturador.
CIERRA	Cierra el obturador.
LIMPIA	Limpia la carga del detector.
B-RDI $X_1 Y_1 X_2 Y_2 T_i$	<p>Similar a RDI pero toma una imagen de “bias” de la ventana.</p> <p>Ejemplo: <i>B-RDI 100 100 200 200 500</i></p> <p>Adquiere una imagen de “bias” de la ventana de 100x100 con tiempo de exposición de 500 ms definida por las coordenadas (100,100), (200,200).</p>

<p>DEFCCD $n_1 n_2 n_3$ $n_4 n_5 n_6$</p>	<p>Define la geometría del detector CCD. Los parámetros numéricos son:</p> <p>$n_1=NPII$ Número de pixeles (columnas) inactivos al inicio del registro serie del detector.</p> <p>$n_2=NPA$ Número de pixeles activos del registro serie del detector.</p> <p>$n_3=NPIF$ Número de pixeles inactivos al final del registro serie del detector.</p> <p>$n_4=NRA$ Número de renglones activos del detector.</p> <p>$n_5=NRII$ Número de renglones inactivos al inicio de la imagen del detector.</p> <p>$n_6=NRIF$ Número de renglones inactivos al final de la imagen del detector.</p> <p>Ejemplo: <i>DEFCCD 16 1024 60 1024 4 2</i></p> <p>Define un detector de 1024x1024 (columnas x renglones activos) con 16 pixeles inactivos al inicio del registro serie y 60 pixeles de “overscan”. Los renglones inactivos de la imagen al final y al inicio son 2 y 4 respectivamente. El tamaño en pixeles (NP) de la imagen digitalizada que el controlador entregará será de</p> <p>$NP = NC \times NR$ donde: $NC = NPII + NPA + NPIF$ $NR = NRA + NRII + NRIF$</p> <p>en el caso del ejemplo la imagen sería de 1100x1030.</p> <p>Si la geometría física de los registros serie y paralelo del detector no coincide con la definida por esta instrucción, se pueden dar dos casos:</p> <p>Caso 1 : Si la instrucción define una geometría mas pequeña que la geometría física del detector, se generarán imágenes de una ventana o zona del detector.</p> <p>Caso 2: Si se define un registro serie con más pixeles que los físicos, se generarán pixeles de “overscan”. En el caso de renglones extras, estos también pueden tomarse como de “overscan”.</p>
<p>RDI $X_1 Y_1 X_2 Y_2 T_i$</p>	<p>Adquiere una imagen con el obturador abierto de una ventana del detector. Los parámetros numéricos son:</p> <p>X_1 - coordenada x de la esquina superior de la ventana. Y_1 - coordenada y de la esquina superior de la ventana. X_2 - coordenada x de la esquina inferior de la ventana. Y_2 - coordenada y de la esquina inferior de la ventana. T_i - Tiempo de exposición en milisegundos.</p> <p>Ejemplo: <i>RDI 100 100 200 200 500</i></p> <p>Adquiere una imagen de una ventana de 100x100 con tiempo de exposición de 500 ms definida por las coordenadas (100,100), (200,200).</p>

5.2 INSTRUCCIONES DE CONFIGURACIÓN DEL CONTROLADOR.

En esta sección se presentan las instrucciones de configuración del controlador. Normalmente el usuario no necesita utilizar estas instrucciones, puesto que el controlador ya está configurado para el detector SITE4. Las instrucciones y sus argumentos se detallan en la Tabla 2.

TABLA 2
Instrucciones de configuración del controlador.

<p>FREC <i>n</i></p>	<p>Establece la frecuencia del contador de secuencia del registro serie. En otras palabras, la frecuencia del paso para leer un pixel del detector (FP). El parámetro numérico <i>n</i> define el número de “ticks” de reloj que debe esperar el contador en cada estado. Cada “tick” de espera es de 20 nanosegundos. Los estados de espera se agregan al estado base, es decir, FREC 1 define un paso de (20+20) ns.</p> <p>Ejemplo: <i>FREC 3</i> define una frecuencia de paso de lectura de pixel de: $FP = (20+20(3)) = 80 \text{ ns}$ Este parámetro afecta la frecuencia de la secuencia DPIX, ver la instrucción PONPASOS.</p>
<p>FRECML <i>n</i></p>	<p>Establece la frecuencia del contador de secuencia del registro paralelo. La frecuencia del paso para recorrer una línea del detector (FL). El parámetro numérico <i>n</i> define el número de “ticks” de reloj que debe esperar el contador en cada estado. Cada “tick” de espera es de 20 nanosegundos. Los estados de espera se agregan al estado base, es decir, FRECML 1 define un paso de (20+20) ns.</p> <p>Ejemplo: <i>FRECML 50</i> define una frecuencia de paso de lectura de pixel de: $FL = (20+20(50)) = 1020 \text{ ns}$ Este parámetro afecta la frecuencia de las secuencias: MLIN, MLINPL y SECFT, ver la instrucción PONPASOS.</p>
<p>PONBINN_INI_FIN <i>inicio fin</i></p>	<p>Ajusta el valor de las localidades de memoria de la secuencia DPIX donde inicia y termina la parte intermedia o de “binning” de la secuencia. Esta parte de la secuencia se repite de acuerdo a la instrucción BINN.</p> <p>Los parámetros numéricos son 2: INICIO – localidad de memoria de inicio de la parte de “binning” de la secuencia DPIX. FIN - localidad de memoria de inicio de la parte de “binning” de la secuencia DPIX.</p> <p>Ejemplo: <i>PONBINN_INI_FIN 22 50</i></p> <p>Indica que la parte de la secuencia DPIX que se debe repetir “binning” veces está comprendida entre las localidades de memoria 22 y 50. (Ver la Sección 7).</p>

<p>PON_IA_IA_NP <i>i arriba ia abajo np</i></p>	<p>Ajusta el valor de la localidad de memoria o paso de la secuencia DPIX que se debe de repetir para controlar el tiempo de integración del muestreador doble correlacionado. Los parámetros numéricos son 3 y están definidos por:</p> <p style="padding-left: 40px;">IARRIBA Localidad de memoria de la secuencia DPIX que apunta al paso que se repite durante la integración (arriba).</p> <p style="padding-left: 40px;">IAABAJO Localidad de memoria que apunta al paso que se repite durante la integración (abajo).</p> <p style="padding-left: 40px;">NP Número de repeticiones o periodos de 20 ns que se debe realizar.</p> <p>Ejemplo: <i>PON_IA_IA_NP 30 70 50</i></p> <p>Indica que se debe repetir 50 veces (pasos de 20ns) las localidades de memoria 30 y 70 de la secuencia DPIX. Esto corresponde a un tiempo de integración arriba/abajo de 1 microsegundo. (Ver la Sección 7).</p>
<p>PONPASOS <i>n1 n2 n3 n4</i></p>	<p>Define el número de pasos de las secuencias de lectura del controlador. Para leer un detector CCD por medio del controlador se utilizan 4 secuencias, las cuales hemos llamado:</p> <p style="padding-left: 40px;">DPIX- Secuencia de leer pixel. MLIN- Secuencia de mover línea. MLINPL- Secuencia de mover línea pulso largo. SECFT - Secuencia de transferencia de imagen.</p> <p>Normalmente se usa sólo las dos primeras secuencias para leer un detector CCD convencional. Las otras dos secuencias se usan en caso de detectores del tipo de transferencia de imagen ("frame transfer") y en otros casos especiales, por ejemplo el detector infrarrojo HAWAII-1024.</p> <p>Hemos establecido un número de pasos máximo para cada secuencia, a saber: DPIX=256 pasos, MLIN=MLINPL=SECFT=64 pasos. Cada paso de la secuencia está almacenado en una localidad de memoria de la tarjeta secuenciadora. El número de pasos se refiere a las localidades de memoria destinada a tal secuencia y es el número máximo de pasos que puede generarse con dicha secuencia. Posteriormente veremos el caso de la secuencia DPIX, que es un caso especial, ya que es posible generar tiempos de retardo programables para poder manejar los tiempos de integración del muestreador doble correlacionado.</p> <p>Los parámetros numéricos son 4:</p> <ul style="list-style-type: none"> • n1 (NPDPIX) - Número de pasos de la secuencia de leer pixel. • n2 (NPMLIN) Número de pasos de la secuencia de mover línea. • n3 (NPMLINPL) Número de pasos de la secuencia de mover línea de pulso largo. • n4 Número de pasos de la secuencia de transferencia de imagen (frame transfer). <p>Ejemplo: <i>PONPASOS 60 20 12 12</i> ajusta el número de pasos de las secuencias de lectura DPIX = 60 pasos MLIN = 20 pasos MLINPL = 12 pasos SECFT = 12 pasos (Ver la Sección 7)</p>

6. LA SECUENCIADORA

La tarjeta secuenciadora del controlador SITE₄ se basa en una serie de “ip-cores” desarrollados en lenguaje verilog y vhdl.

La implementación de los “cores” se realizó en un FPGA de Xilinx, modelo Spartan 3E-500 FG320.

La herramienta de desarrollo para los “cores” fue el ISE WEBPACK de Xilinx versión 13.

Se escogió la tarjeta Nexys2 [1] de Digilent Inc. para la implementación de la secuenciadora. Las características principales de la Nexys2 son:

- Un FPGA de la familia Spartan3 de Xilinx de 500K “gates” o 1200K “gates”.
- 16 Mbytes de SRAM. ROM de programación de Xilinx.
- Puerto USB para programar y acceder el FPGA.
- 75 puertos de entrada salida asignados al FPGA y conectores de fácil acceso.
- 8 Leds y 4 despliegues de 7 segmentos.
- 4 botones momentáneos y 8 interruptores.

El diagrama a bloques de los “ip-cores” de la tarjeta secuenciadora se muestra en la *Figura 4*.

En esa figura lo que aparece dentro de la línea punteada corresponde a los “cores” desarrollados para el controlador del CCD.

El funcionamiento del sistema es básicamente el que sigue:

- El microcontrolador uC está esperando instrucciones en la MEM INST. Esta memoria se modifica por medio del puerto USB de la Nexys2 (FX₂).
- El uC decodifica la instrucción y la ejecuta.
- Las instrucciones generan acciones de control para el CONTADOR SECUENCIA o para modificar las localidades de la MEMORIA SECUENCIA.
- Este microcontrolador (uC) se encarga de generar las secuencias de bajo nivel para poder realizar la lectura del detector.
- Las rutinas del uC generan valores digitales (píxeles) que se almacenan en la memoria FIFO (cellram) de la Nexys2.
- Posteriormente a través del puerto USB se transmiten los valores de los píxeles a la computadora de control de la secuenciadora (CPU).

Se desarrolló un manejador (biblioteca de programación) para el control de la tarjeta secuenciadora. El lenguaje de desarrollo es “C”. La biblioteca permite el acceso a los parámetros de funcionamiento y de las instrucciones de los “cores” en el FPGA a través de funciones.

Las herramientas utilizadas para el desarrollo de la comunicación con la secuenciadora (CPU-FPGA) son:

- La biblioteca libFPGALink [8]
- La biblioteca libusb [9]
- La biblioteca glib [10]

Hemos probado el programa de control y los manejadores de la secuenciadora en diversas plataformas. En una computadora PC compatible, en un Beaglebone (ARM), en una Sheevaplug (ARM) y en la TS7800 (ARM).

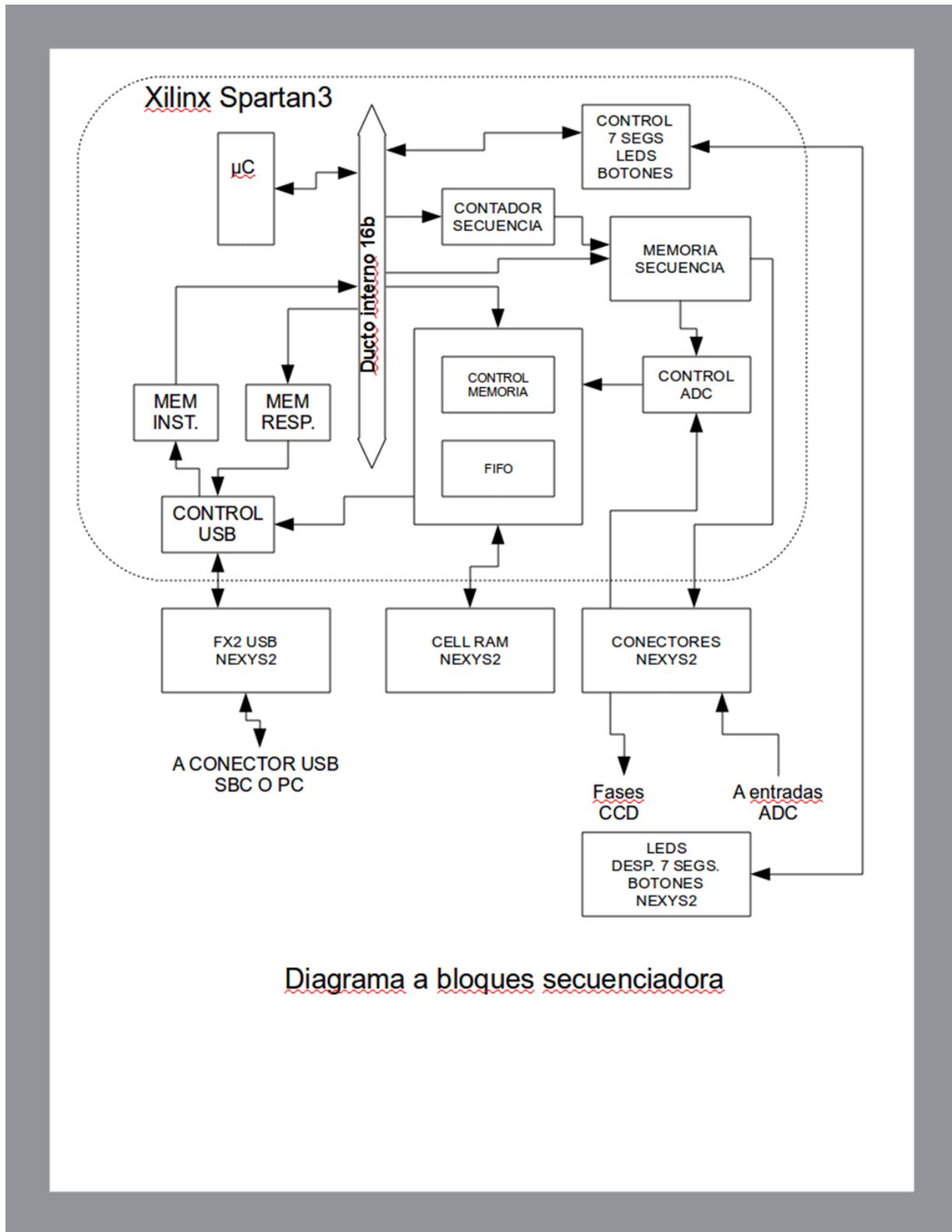


Figura 4: IP-CORES de la tarjeta secuenciadora.

7. LAS SECUENCIAS

Las secuencias del controlador se almacenan en una memoria - un “ip-core”- que está dentro de la tarjeta secuenciadora. Esta memoria es una “RAM” bipuerto de 17 bits con 512 localidades, en la *Figura 4* se llama MEMORIA SECUENCIA. Los “bits” de esta memoria se conectan a las salidas de fases y a las señales de control que utiliza la tarjeta secuenciadora.

Los parámetros definidos en las instrucciones FREC y FRECML cambian la frecuencia de cada paso de las secuencias.

Las secuencias MLIN, MLINPL y SECFT definidas en la instrucción PONPASOS se ejecutan a una frecuencia definida por el parámetro FRECML. Estas secuencias son monótonas. La secuencia se inicia en cierta localidad de memoria y el contador de dirección avanza hasta alcanzar la cuenta máxima definida para dicha secuencia (ver instrucciones PONPASOS, FRECML). Cada una de estas secuencias puede contener hasta 64 pasos.

La secuencia DPIX es especial. Esta secuencia puede contener hasta 256 pasos y está dividida en varias secciones.

Las secciones de la secuencia DPIX son:

- La sección inicial.
- La sección de integra arriba.
- La sección intermedia o de “binning”.
- La sección de integra abajo.
- La sección final.

El inicio de cada sección, la duración de la misma y la frecuencia del paso se define por el usuario por medio de instrucciones (PONPASOS, PON_IA_IA_NP, PONBINN_INI_FIN). El diagrama de tiempos de la *Figura 5* ilustra la localización de las secciones en la secuencia DPIX.

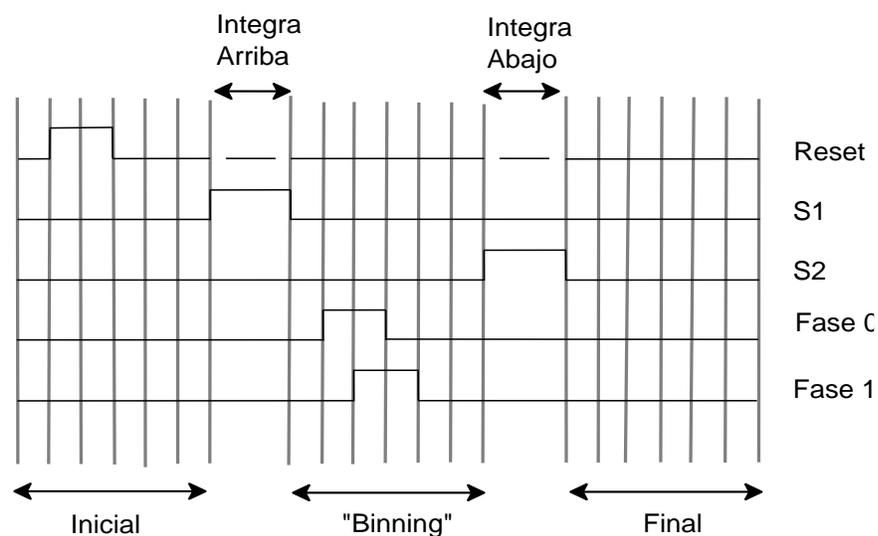


Figura 5: Un diagrama de tiempos de la secuencia DPIX para mostrar la localización de las diferentes secciones.

Las secciones de la secuencia DPIX son afectadas por el parámetro FREC de manera diferente (ver en la sección de instrucciones FREC). Las partes “inicial” y “final” tienen la frecuencia determinada por FREC.

Las secciones de una localidad “integra arriba” e “integra abajo” definidas por la instrucción PON_IA_IA_NP se repiten NP veces con una frecuencia de 20 ns por paso. Con esto es posible controlar el tiempo de integración del muestreador doble correlacionado sin ocupar más de dos localidades de memoria. Por ejemplo, si necesitamos integrar 1 microsegundo, se requeriría 50 posiciones de memoria para las secciones de “integra arriba, integra abajo”. Esto ahorra memoria y permite variar el tiempo de integración del controlador al vuelo, es decir, por medio de la instrucción PON_IA_IA_NP sin realizar cambios a la secuencia.

La sección intermedia o de “binning” se repite las veces necesarias, de acuerdo a lo requerido del controlador a través de la instrucción BINN. La frecuencia de cada paso de esta sección es de 20 ns. Las localidades afectadas por esta sección se definen por la instrucción PONBINN_INI_FIN.

En la *Figura 5*, suponemos que se está usando un CCD con dos fases serie (Fase 0 y 1) y un “reset”. Las señales S1 y S2 controlan los períodos de tiempo de integración y están conectadas a los interruptores analógicos del muestreador doble correlacionado.

El Apéndice D muestra las secuencias serie (DIX) y paralela (MLIN) que se usan en el controlador SITE4.

8. LAS TARJETAS DEL CONTROLADOR

En las siguientes secciones se presentan las descripciones de las tarjetas del controlador.

8.1 LA TARJETA DE COMUNICACIÓN

Esta tarjeta se diseñó y construyó en el Instituto de Astronomía en Ensenada. Sirve para hacer la interfaz entre la tarjeta secuenciadora (Nexys2) y las tarjetas que reutilizamos del controlador CE260 de “Photometrics” (PM). La tarjeta de comunicación (TC) se inserta en el ducto del controlador CE260 en el espacio definido para la tarjeta de comunicación de PM.

La tarjeta consta de reforzadores de señal y de acondicionadores de nivel de LVTTTL o LVC MOS a TTL (3.3v a 5v).

Los conectores de la TC van al ducto del CE260 y a las tarjetas reutilizadas.

Las señales de la TC se definen en el Apéndice C.

En las *Figuras E1* y *E2* del Apéndice E se muestran el diagrama esquemático y el mapa de componentes de la tarjeta de comunicación, respectivamente.

8.2 LA TARJETA PROCESADORA DE VIDEO Y DE MUESTREO DOBLE CORRELACIONADO

La función de esta tarjeta es convertir el valor analógico de salida de vídeo del detector a un valor digital. La tarjeta usa la técnica de muestreo doble correlacionado con un integrador de doble pendiente controlado por señales digitales.

Las conexiones a esta tarjeta se realizan por medio del ducto del CE260; las señales de control son para apagar/encender los interruptores analógicos que controlan el muestreador doble

correlacionado. También se conectan a esta tarjeta las señales de inicio de la conversión analógico/digital (ADC) así como una serie de señales para la transmisión en serie de los valores convertidos por el ADC.

Las señales usadas y su sentido se detallan en la Tabla C₁ del Apéndice C.

8.3 LAS TARJETAS DE FASES SERIE Y PARALELA

La función de estas tarjetas es realizar el cambio de nivel de voltaje TTL o LVTTTL a los voltajes requeridos por las fases del detector.

La conexión a estas tarjetas se hace por medio de cables planos insertados en los conectores de la tarjeta TC. Dos adaptadores se construyeron para ser insertados en las tarjetas y tener acceso a las líneas de control; los adaptadores para las tarjetas serie y paralela se muestran en las Figuras E₁ y E₂ del Apéndice E, respectivamente.

Las señales usadas y su sentido se detallan en las Tablas C₂ y C₃ del Apéndice C.

8.4 LA TARJETAS DE CONTROL DE TEMPERATURA Y OBTURADOR

La tarjeta de control de temperatura del CE260 funciona por sí sola y no tenemos una conexión directa a la misma. Para ajustar la temperatura de operación del controlador se usa la perilla del potenciómetro de ajuste del CE260.

Para el control de disparo del obturador se usa el conector BNC de entrada (Shutter in) del CE260. Esta entrada se conecta a la salida BNC de la caja de control.

En la Figura 6 se puede ver el controlador SITE4. En la imagen se puede ver en primer plano la conexión ethernet al controlador, el cable BNC de control del obturador y la alimentación de 5 volts de la caja de control. Al fondo se aprecia el crióstato del CCD con el adaptador “negro” de la lámpara LED para las pruebas de calibración.



Figura 6: Vista del controlador Site4.

9. PRUEBAS Y RESULTADOS

Para calibrar el controlador se realizaron las pruebas estándar como la curva de transferencia de fotones (“photon transfer curve” o PTC) y se hizo la prueba de linealidad. Las gráficas de los resultados obtenidos se pueden ver en la siguiente liga [7]:

http://bufadora.astrosen.unam.mx/~chava/site4/rep_comp_capi_ccd_site4.pdf

La *Figura 7* presenta una PTC, y la *Figura 8*, una gráfica de linealidad.

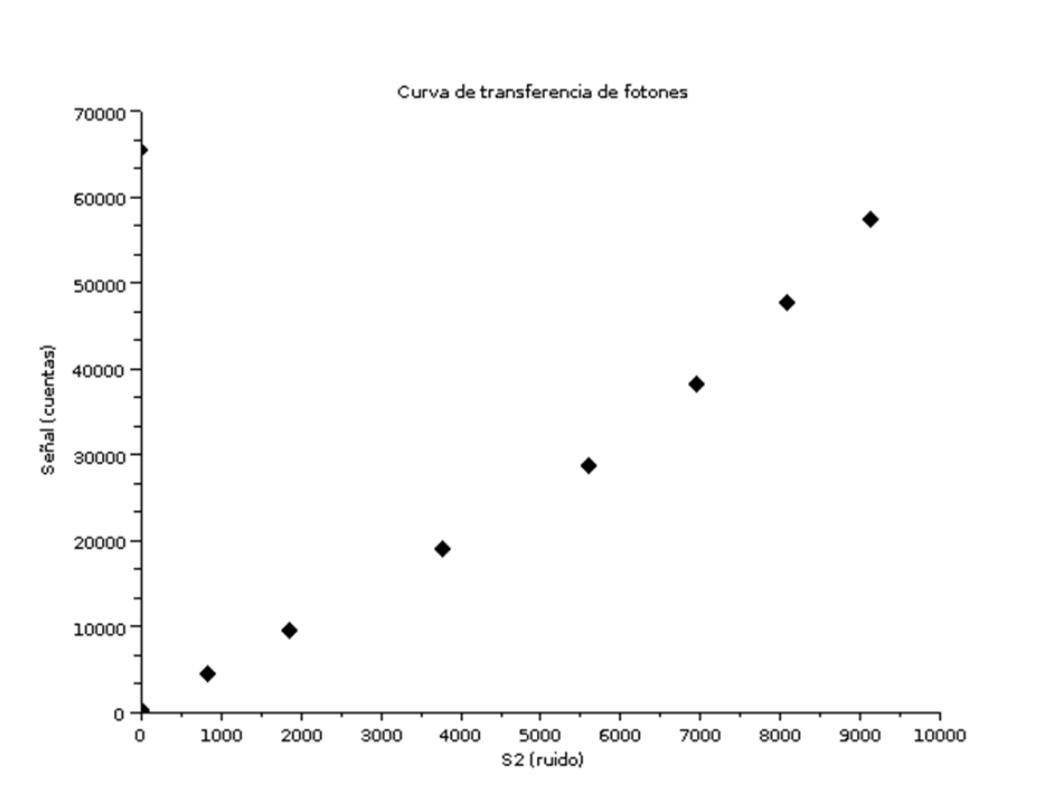


Figura 7: Curva de transferencia de fotones.

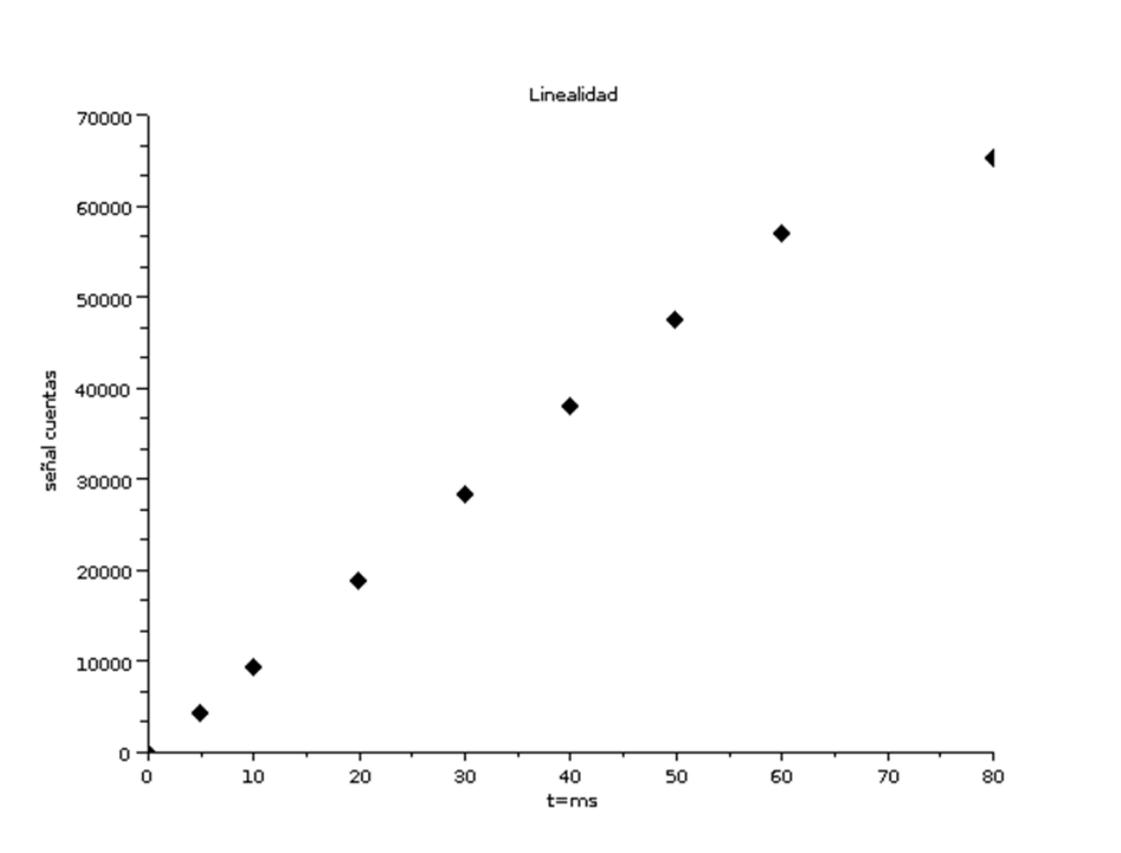


Figura 8: Prueba de linealidad del controlador.

Las características técnicas que resultaron de las pruebas del controlador se muestran en la Tabla 3.

TABLA 3
Características del controlador SITE4

Ruido de lectura:	7.4 e
Ganancia	4 e/ADU
Frecuencia de lectura:	74 Khz. Tiempo de lectura de la imagen completa 14 s.
Profundidad de pozo:	327 Ke aproximadamente
Linealidad	Menor a 1% en todo el rango

10. REFERENCIAS

- [1] La tarjeta Nexys2
<http://www.digilentinc.com/Products/Detail.cfm?Prod=NEXYS2>
- [2] La computadora de una sola tarjeta modelo TS7800.
<http://www.embeddedarm.com/products/board-detail.php?product=ts-7800>
- [3] Colorado E.
Reporte de programa de interfaz de usuario de los detectores en proceso.
Zazueta, S. y Colorado, E.
- [4] “Tarjeta secuenciadora para el controlador versátil de CCDs OAN”.
Reporte Técnico del Instituto de Astronomía RT-2004-23, 2004.
Zazueta, S., Murillo, F., Lazo, F. y Ochoa, J. L.
- [5] “Tarjeta de Fases para el Controlador de CCDS del OAN”.
Reporte Técnico del Instituto de Astronomía RT-2004-07, 2004.
Quirós, F., Zazueta, S., et. al.
- [6] “Tarjeta de Muestreo de Doble Pendiente y Digitalización para el Controlador de CCD'S del OAN”, Reporte Técnico del Instituto de Astronomía RT-2004-24. Sep. 2004.
Zazueta S., Murillo F. y Ochoa J. L.
- [7] “Reporte detector SITE4 controlador propio”
http://bufadora.astrosen.unam.mx/~chava/site4/rep_comp_capi_ccd_site4.pdf
- [8] <http://www.makestuff.eu/wordpress/software/fpgalink/>
- [9] <http://www.libusb.org/>
- [10] <http://developer.gnome.org/glib/>

APÉNDICE A. CORRESPONDENCIA DE BITS A SEÑALES DE TARJETA DE COMUNICACIÓN

La Tabla A1 define la correspondencia entre las señales y los “bits” de la memoria de secuencias de la tarjeta secuenciadora.

TABLA A1

Correspondencia de “bits” de memoria de secuencias y señales.

BIT NÚMERO (FASE)	SEÑAL AL CONTROLADOR
0	RIN (Restablece integrador)
1	DCR (Restablece nivel de c.d. No se usa en el controlador SITE ₄)
2	SA ₂ (Señal de integra arriba)
3	SA ₁ (Señal de integra abajo)
4	CTC (Señal de inicio de conversión analógico a digital)
5	CLAMP (Restablece el nivel de voltaje paralelo al cabezal del CCD)
6	oR (Phi reset) Señal de reset del detector (serie)
7	SER ₂ (Phi S ₂) Señal PHI ₂ del detector (serie)
8	SER ₃ (Phi S ₃) Señal PHI ₃ del detector (serie)
9	SER ₁ (Phi S ₁) Señal PHI ₁ del detector (serie)
10	VOS ₁ (PHI P ₁) Señal PHI P ₁ del detector (paralela)
11	VOS ₂ (PHI P ₂) Señal PHI P ₂ del detector (paralela)
12	VOS ₂ (PHI P ₃) Señal PHI P ₃ del detector (paralela)
13	VOI ₁ (PHI P ₄) Señal PHI P ₄ del detector (paralela)
14	VOI ₂ (PHI P ₅) Señal PHI P ₅ del detector (paralela)
15	VOI ₃ (PHI P ₆) Señal PHI P ₆ del detector (paralela)
16	Muestrea pixel (señal interna de la secuenciadora)

APÉNDICE B. SEÑALES DEL CONECTOR DB37 QUE CONECTA LA NEXIS2 CON EL CONTROLADOR CE260

TABLA B1
Señales en el conector DB37.

Contacto	Señal	Puerto de Nexis2
1	VOI3	IO9
2	CLAMP	IO11
3	GND	
4	RIN	IO13
5	SA1	IO15
6,7,8,9,16,17,19,25,26,27,28,34	NC	
10	VOI1	IO1
11	SER1	IO3
12	GND	
13	VOI2	IO5
14	VOS1	IO7
15	ADCK	IO17
18	GND	
20	DCR	IO10
21	OR	IO12
22	GND	
23	SA2	IO14
24	CTC	IO16
29	SER3	IO2
30	SER2	IO4
31	GND	
32	VOS3	IO6
33	VOS2	IO8
35	SEN	IO18
36	SO	IO20
37	GND	

APÉNDICE C. CONEXIONES DE LA TARJETA DE COMUNICACIÓN A LAS TARJETAS DEL CONTROLADOR CE260

TABLA C1

Conexiones de la tarjeta TC a la tarjeta de muestreo doble correlacionado.

SEÑAL TC	SENTIDO DESDE LA TARJETA TC A LA DE MUESTREO DOBLE CORRELACIONADO	DESCRIPCIÓN
SA ₁	SALIDA	Integra arriba
SA ₂	SALIDA	Integra abajo
RIN	SALIDA	Restablece el integrador
DCR	SALIDA	Restablece el nivel de CD. (No se usa en este controlador)
CTC	SALIDA	Señal de inicio de conversión analógico digital.
SEN	SALIDA	Señal de muestreo (latch) del dato en paralelo al registro serie.
ADCK	SALIDA	Señal de transferencia en serie del dato digital. Reloj del registro serie.
SO	ENTRADA	Dato digital de entrada. Salida del registro serie.

TABLA C2

Conexiones de la tarjeta TC a la tarjeta serie.

SEÑAL TC	SENTIDO DESDE LA TARJETA TC A LA TARJETA SERIE	DESCRIPCIÓN
SER ₁	SALIDA	Fase 1 serie PHI ₁
SER ₂	SALIDA	Fase 2 serie PHI ₂
SER ₃	SALIDA	Fase 3 serie PHI ₃
oR	SALIDA	Fase de "reset" PHIR

TABLA C3

Conexiones de la tarjeta TC a la tarjeta paralela.

SEÑAL TC	SENTIDO DESDE LA TARJETA TC A LA TARJETA PARALELA	DESCRIPCIÓN
VOI ₁	SALIDA	Fase 1 paralela PHI P ₁
VOI ₂	SALIDA	Fase 2 paralela PHI P ₂
VOI ₃	SALIDA	Fase 3 paralela PHI P ₃
VOS ₁	SALIDA	Fase 1 aux. paralela PHI P ₄
VOS ₂	SALIDA	Fase 2 aux. paralela PHI P ₅
VOS ₃	SALIDA	Fase 3 aux. paralela PHI P ₆
CLAMP	SALIDA	Restablece el nivel de CD del cabezal.

APÉNDICE D. DIAGRAMA DE SECUENCIAS

Las siguientes gráficas muestran las secuencias serie (DPIX) y paralela (MLIN) que se usan en el controlador SITE₄.

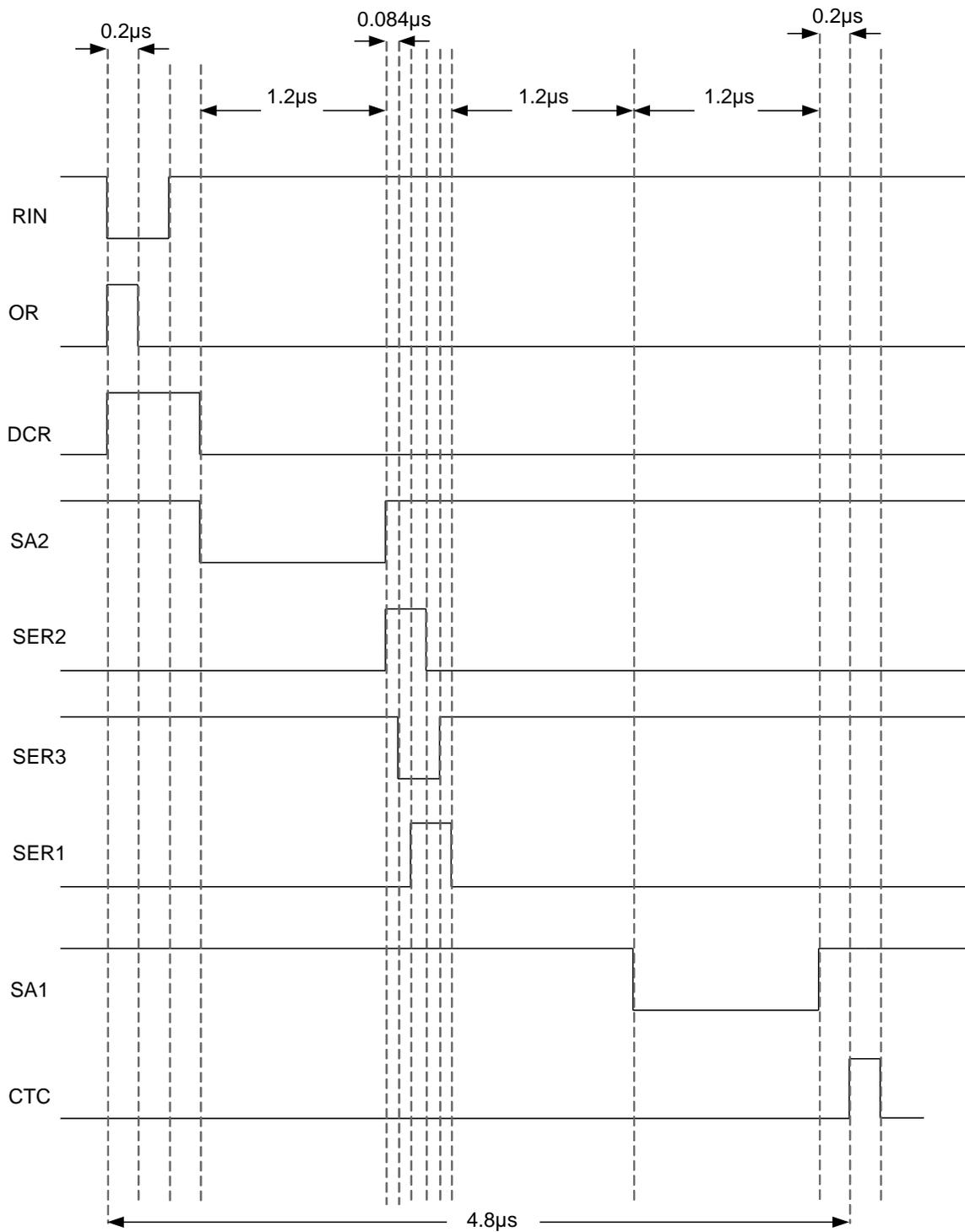


Figura D1: Diagrama de tiempos de la secuencia serie (DPIX).

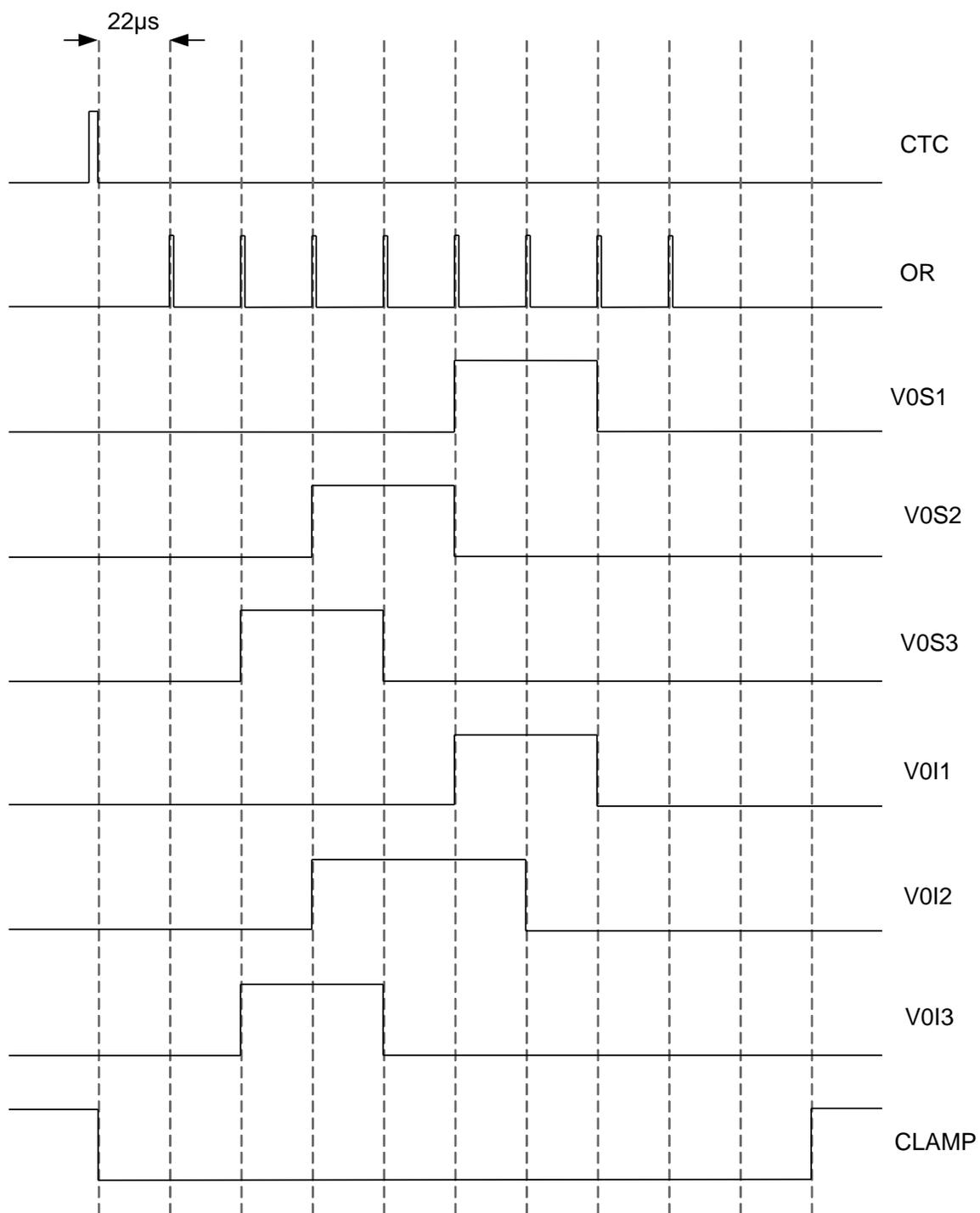


Figura D2: Diagrama electrónico de la tarjeta de comunicación (TC).

APÉNDICE E. DIAGRAMAS ELECTRÓNICOS

E.1 TARJETA DE COMUNICACIÓN

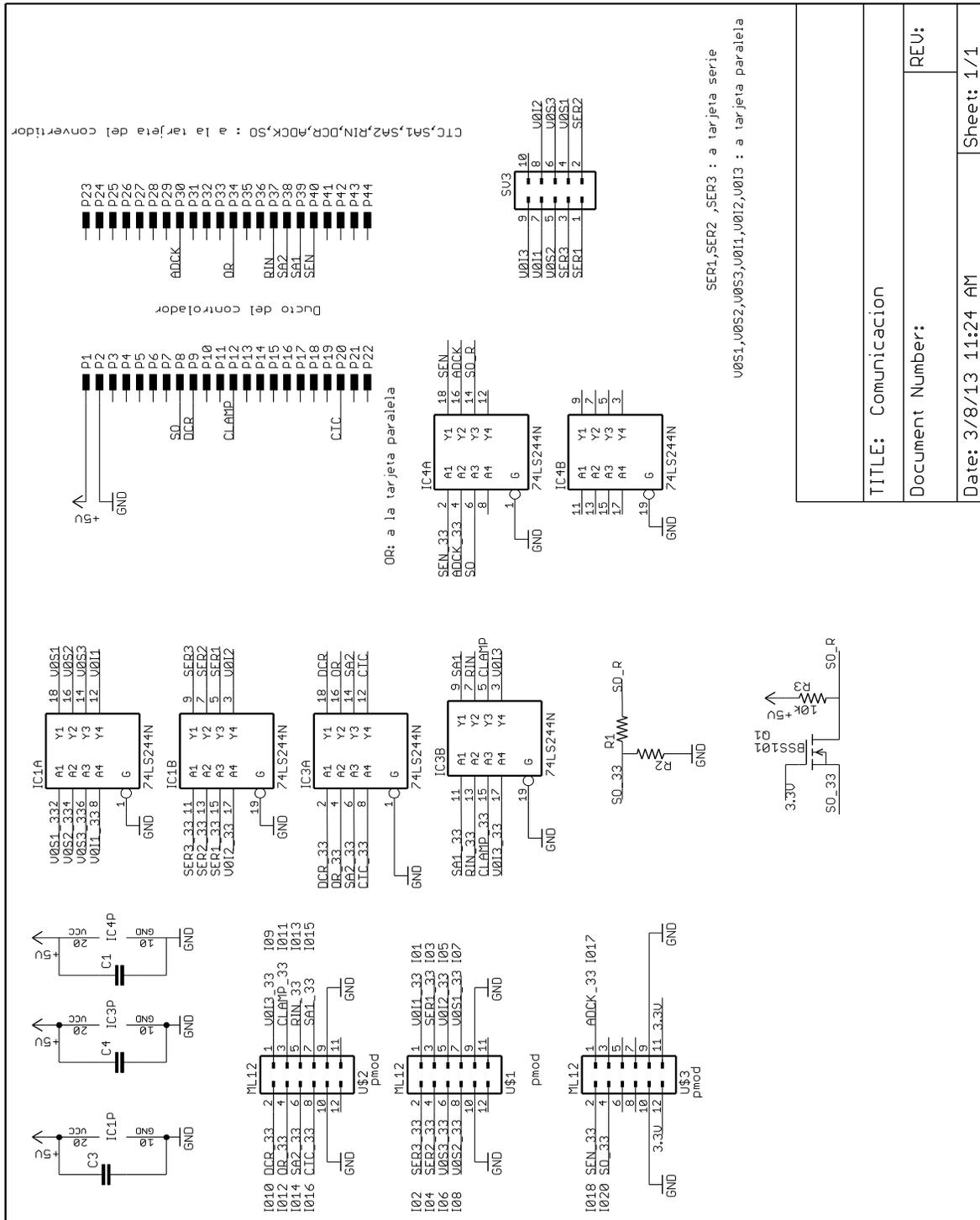


Figura E1: Diagrama electrónico de la tarjeta de comunicación (TC).

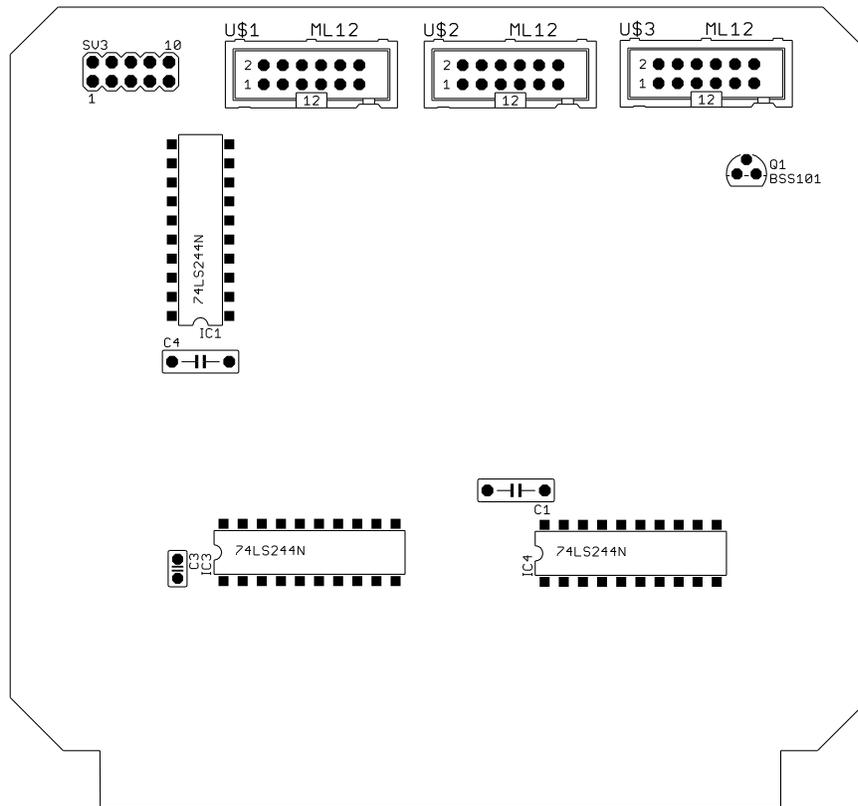


Figura E2: Distribución de componentes de la tarjeta de comunicación (TC).

E.2 DIAGRAMAS DE LAS TARJETAS DE ADAPTACIÓN

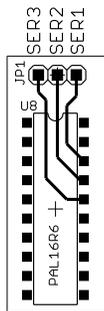


Figura E3: Diagrama del adaptador de la tarjeta serie.

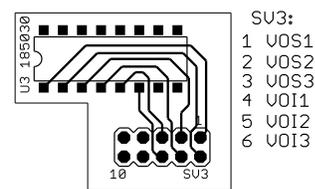


Figura E4: Diagrama del adaptador de la tarjeta paralela.